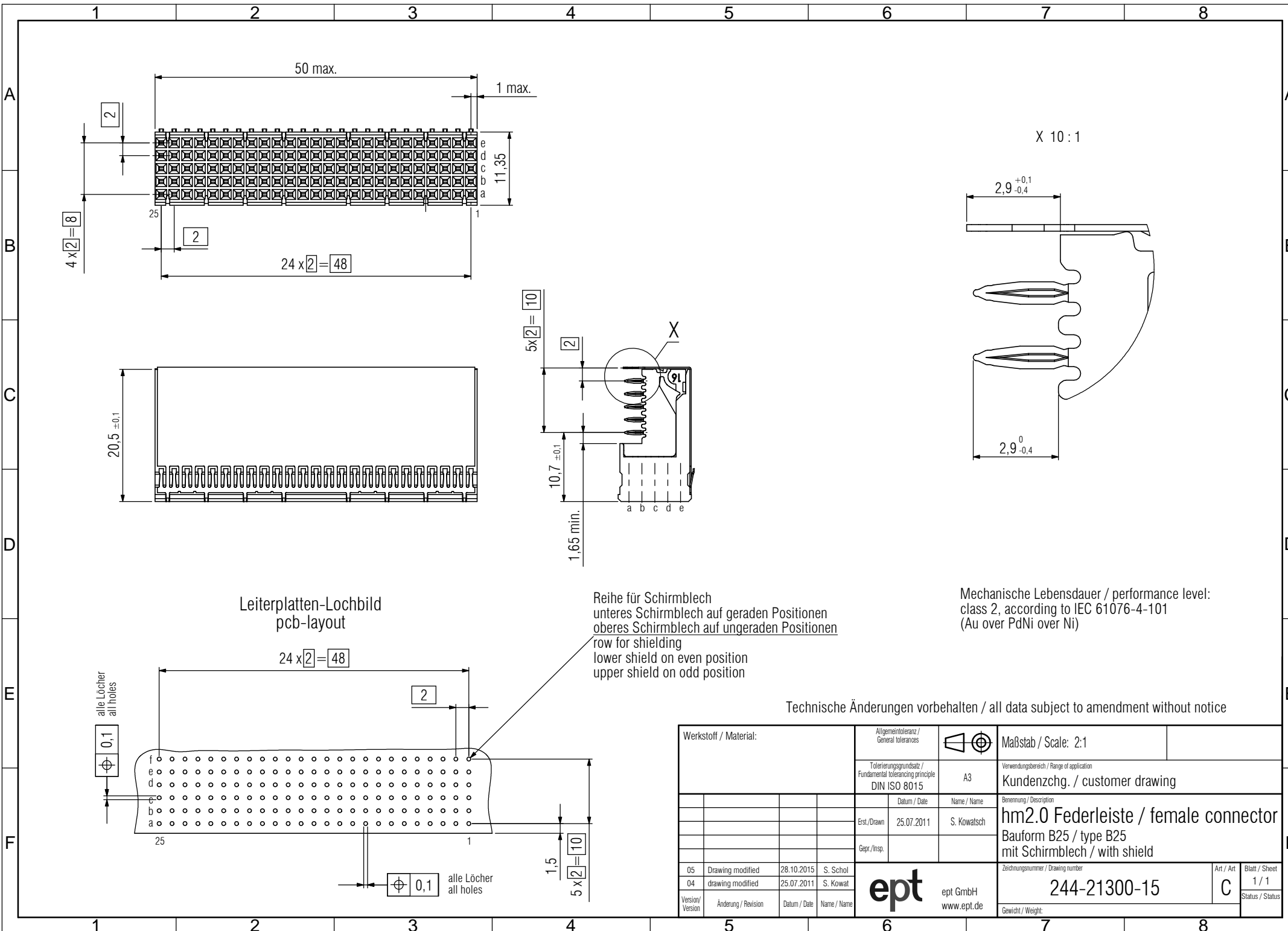


© Weitergabe sowie Vervielfältigung dieses Dokuments, Verwertung und Mitteilung seines Inhalts sind verboten, soweit nicht ausdrücklich gestattet. Zuwiderhandlungen verpflichten zu Schadensersatz. Alle Rechte für den Fall der Patent-, Gebrauchsmuster- oder Geschmacksmustererheinigung vorbehalten.



Leiterplatten-Lochbild
pcb-layout

Reihe für Schirmblech
 unteres Schirmblech auf geraden Positionen
 oberes Schirmblech auf ungeraden Positionen
 row for shielding
 lower shield on even position
 upper shield on odd position

Mechanische Lebensdauer / performance level:
 class 2, according to IEC 61076-4-101
 (Au over PdNi over Ni)

Technische Änderungen vorbehalten / all data subject to amendment without notice

Werkstoff / Material:		Allgemeintoleranz / General tolerances		Maßstab / Scale: 2:1
		Tolerierungsgrundsatz / Fundamental tolerancing principle DIN ISO 8015	A3	Verwendungsbereich / Range of application Kundenzchg. / customer drawing
		Datum / Date	Name / Name	Benennung / Description
		Erst./Drawn	S. Kowatsch	hm2.0 Federleiste / female connector
		Gepr./Insp.		Bauform B25 / type B25 mit Schirmblech / with shield
05	Drawing modified	28.10.2015	S. Schol	Zeichnungsnummer / Drawing number 244-21300-15
04	drawing modified	25.07.2011	S. Kowat	
Version / Version	Änderung / Revision	Datum / Date	Name / Name	Art / Art C
ept GmbH www.ept.de				Blatt / Sheet 1/1 Status / Status
Gewicht / Weight:				