

iC-MB3

BiSS INTERFACE MASTER, 1-Kanal/3-Slaves

Zielspezifikation



Ausgabe B2, Seite 1/27

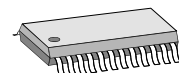
EIGENSCHAFTEN

- ◆ Bidirektionale BiSS-Kommunikation mit bis zu 3 Sensoren
- ◆ Unterstützung des SSI-Protokolls für unidirektionale Datenübertragung
- ◆ Synchron getriggerte Messdatenerfassung und zyklische Übertragung mit bis zu 10 Mbit/s
- ◆ Überlagerte Übertragung von Befehlen und Registerdaten
- ◆ Automatische Kompensation von Übertragungsverzögerungen, verursacht durch Mess- und Wandlungszeiten oder lange Kabel
- ◆ 3 parametrierbare Slave-Bereiche mit bis zu 64 bit Sensordaten und 64 bit Multicycle-Daten
- ◆ Integrierte Datenprüfung mit CRC Polynomen bis 8 bit, für jeden Slave-Bereich sowie Sensor- und Multicycle-Daten separat einstellbar
- ◆ Doppelte Registerbänke für freien Mikrocontroller-Zugriff während der Sensordaten-Erfassung
- ◆ 32 byte Zwischenspeicher zur Register-Kommunikation
- ◆ Parallelschnittstelle für Intel und Motorola Mikrocontroller mit kombiniertem 8-bit Daten-/Adress-Bus
- ◆ Alternativ serieller Datentransfer über SPI™-kompatible Mikrocontroller-Schnittstelle
- ◆ Versorgung mit 3 bis 5 V, industrieller Temperaturbereich

ANWENDUNGEN

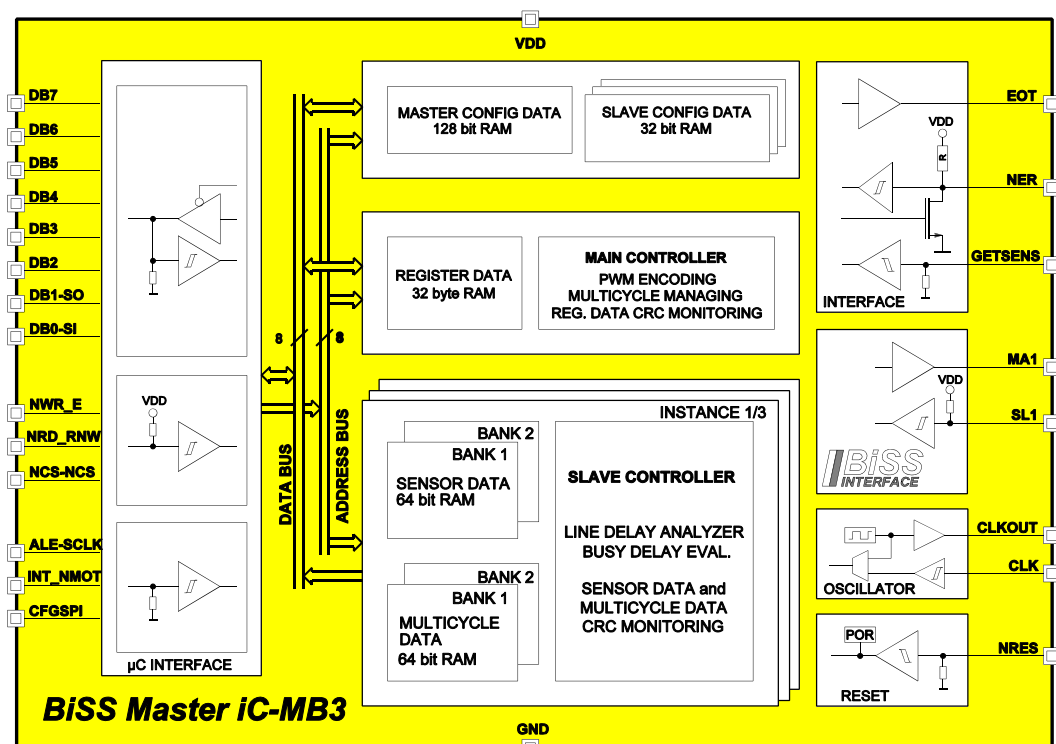
- ◆ Bidirektionale Kommunikation in Multi-Sensor-Systemen
- ◆ Lineare Wegmesssysteme und Drehgeber
- ◆ Motor-Feedback-Systeme

GEHÄUSE



TSSOP24

BLOCKSCHALTBIOD



SPI ist ein Markenzeichen der MOTOROLA, Inc.

KURZBESCHREIBUNG

Der iC-MB3 ist ein monolithisch integrierter Baustein zur Sensor-Kommunikation von Mikrocontrollern der Familien Intel 8051 oder Motorola 68HC11 (im 8-bit Multiplex-Modus) mit BiSS- oder SSI-Geräten. Alternativ ist die serielle Mikrocontroller-Anbindung per SPI möglich.

Auf der Sensor-Seite können ein bis drei BiSS-Geräte angeschlossen werden. Die Anbindung erfolgt an die Taktleitung MA1 und die Datenrückleitung SL1 über RS422-Transceiver, bei kurzen Verbindungen in störfreier Umgebung auch direkt.

Es werden maximal drei BiSS-Slaves mit voneinander unabhängig skalierbaren Datenbereichen unterstützt:

- 1) Sensor-Daten mit 0 bis 64 bit (für Messdaten, Alarm- und Warnmeldungen)
- 2) Multicycle-Daten mit 0 bis 64 bit (für zusätzliche Messdaten)
- 3) Register-Daten mit 128 Byte pro Slave-ID (z.B. für Geräte-Parameter).

Für Sensor- und Multicycle-Daten stellt iC-MB3 zur flexiblen Bedienung des Mikrocontrollers bei gleichzeitigem Einlesen neuer Sensordaten pro Slave doppelte RAM-Speicherbänke zur Verfügung. Den Register-Transfers unterstützt ein Zwischenspeicher mit 32 Byte.

Die Sensordaten-Übertragung wird per Mikrocontroller-Befehl oder über den Pin GETSENS gestartet. Alternativ dazu kann iC-MB3 neue Sensordaten auch automatisch einlesen; die Zykluszeit hierfür ist einstellbar.

Das Ende der Sensordaten-Übertragung wird am Pin EOT durch ein High-Signal angezeigt; kommt es zu Übertragungsfehlern, zeigt Pin NER ein Low-Signal. Kommunikationsfehler sind über ein Statusregister durch den Mikrocontroller verifizierbar; in dieses Register kann auch eine System-Fehlermeldung eingeblendet werden, indem der bidirektionale Anzeige-Pin NER von extern auf Low gehalten wird.

Das Taktsignal zur Sensor-Kommunikation erzeugt der iC-MB3 über einen internen 20 MHz Oszillator; wahlweise ist die externe Takteinspeisung möglich.

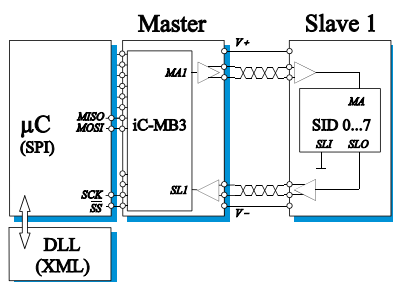


Bild 1: Punkt-zu-Punkt Verbindung von iC-MB3 und einem Teilnehmer; dieser kann 1 bis 8 Slave-IDs (SID) belegen.

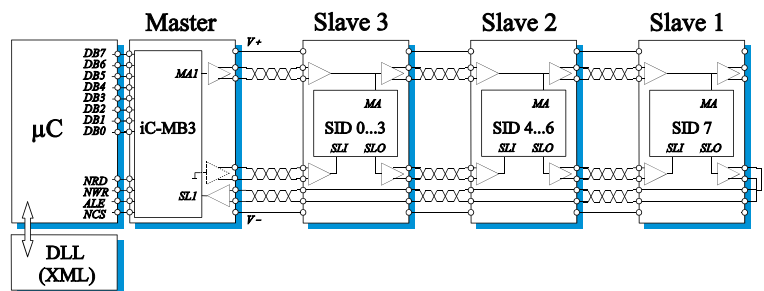


Bild 2: Netzwerkbeispiel mit iC-MB3 und drei Teilnehmern; alle 8 möglichen Slave-IDs (SID) sind aufgeteilt verwendet.

iC-MB3

BiSS INTERFACE MASTER, 1-Kanal/3-Slaves

Zielspezifikation

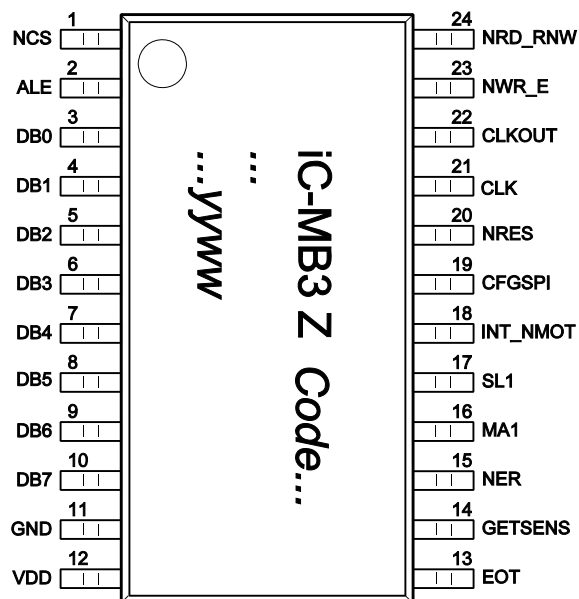


Ausgabe B2, Seite 3/27

GEHÄUSE TSSOP24 nach JEDEC-Standard

PIN KONFIGURATION

TSSOP24 4.4 mm, Raster 0.65 mm
(von oben)



PIN FUNKTIONEN

Nr.	Name	Funktion
1	NCS	Chip Select-Eingang, low aktiv
2	ALE-SCLK	Address Latch Enable Eingang
3	DB0	Datenbus
4	DB1	Datenbus
5	DB2	Datenbus
6	DB3	Datenbus
7	DB4	Datenbus
8	DB5	Datenbus
9	DB6	Datenbus
10	DB7	Datenbus
11	GND	Masse
12	VDD	+3.3 ... +5 V Versorgungsspannung
13	EOT	End-Of-Transmission Ausgang
14	GETSENS	Sensordatenanforderung Eingang
15	NER	Fehlermeldung Ein-/Ausgang, low aktiv
16	MA1	BiSS Takt/Datenausgang
17	SL1	BiSS Dateneingang
18	INT_NMOT	Modus Selektion (Intel = 1, Motorola = 0)*
19	CFGSPI	Seriell-/Parallel-Modus Selektion (seriell SPI = 1, parallel = 0)
20	NRES	Reset Eingang, low aktiv
21	CLK	Eingang für externen Takt
22	CLKOUT**	Taktausgang
23	NWR_E	Schreibsignal Eingang, low aktiv (Intel) Freigabe Eingang, high aktiv (Motorola)
24	NRD_RNW	Lesesignal Eingang, low aktiv (Intel) Lese-/Nicht-Schreib-Eingang (Motorola)

Serieller SPI Kommunikationsmodus (CFGSPI = 1):

1	NCS	Chip Select Eingang, low aktiv
2	SCLK	SPI Takteingang
3	SI	SPI serieller Dateneingang
4	SO	SPI serieller Datenausgang

* nur bei CLKENI = 1, sonst kein Signal
** für SPI keinen Einfluß

GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild			Einh.
					Min.	Max.	
G001	VDD	Versorgungsspannung an VDD			-0.3	6	V
G002	I(VDD)	Strom in VDD			-20	30	mA
G003	V()	Spannung an allen Pins ausser VDD und GND	$V() \leq VDD + 0.3 V$		-0.3	6	V
G004	I()	Strom in alle Pins ausser VDD und GND			-10	10	mA
EG1	Vesd()	Zulässige ESD-Prüfspannung an allen Pins	MIL-STD-883, Methode 3015, HBM 100 pF entladen über 1.5 kΩ			2	kV
TG1	Tj	Chip-Temperatur			-40	150	°C
TG2	Ts	Lagertemperatur			-40	150	°C

THERMISCHE DATEN

Betriebsbedingungen: VDD = 3 ... 5.5 V

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild				Einh.
					Min.	Typ.	Max.	
T1	Ta	Zulässiger Umgebungstemperaturbereich (erweiterter Temperaturbereich bis -40 °C auf Anfrage)			-25		85	°C

iC-MB3

BiSS INTERFACE MASTER, 1-Kanal/3-Slaves

Zielspezifikation



Ausgabe B2, Seite 5/27

KENNDATEN

Betriebsbedingungen:

VDD = 3 ... 5.5 V, Tj = -25 ... 125 °C, wenn nicht anders angegeben

Kenn Nr.	Symbol	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Allgemeines									
001	VDD	Zulässige Versorgungsspannung				3		5.5	V
002	I(VDD)	Versorgungsstrom in VDD	Ausgänge unbelastet, f(CLK) = 20 MHz					20	mA
003	Vc()hi	Klemmspannung hi an allen Pins ausser VDD, GND	Vc()hi = V()-VDD, I() = 1 mA; Ausgänge tristate			0.3		1.6	V
004	Vc()lo	Klemmspannung lo an allen Pins ausser VDD, GND	I() = -1 mA; Ausgänge tristate			-1.6		-0.3	V
Control-Interface: EOT, NER, GETSENS									
201	Vs()hi	Sättigungsspannung hi an EOT	Vs()hi = VDD- V(); I() = -4 mA					400	mV
202	Vs()lo	Sättigungsspannung lo an EOT, NER	I() = 4 mA					420	mV
203	Vt()hi	Schwellspannung hi an NER, GETSENS						2	V
204	Vt()lo	Schwellspannung lo an NER, GETSENS				0.8			V
205	Vt()hys	Schwellspannungshysterese an NER, GETSENS				300	500		mV
206	Ipu()	Pull-Up Strom gegen VDD an NER	V() = 0 ... VDD-1.5 V			-600	-300	-60	µA
207	Ipd()	Pull-Down Strom gegen GND an GETSENS	V() = 1.5 V ... VDD			4	35	70	µA
BiSS-Schnittstelle: MA1, SL1									
301	Vs(MA1)hi	Sättigungsspannung hi	Vs()hi = VDD- V(); I() = -4 mA					400	mV
302	Vs(MA1)lo	Sättigungsspannung lo	I() = 4 mA					420	mV
303	Vt(SL1)hi	Schwellspannung hi						2	V
304	Vt(SL1)lo	Schwellspannung lo				0.8			V
305	Vt(SL1)hys	Schwellspannungshysterese				300	500		mV
306	Ipu(SL1)	Pull-Up Strom gegen VDD	V() = 0 ... VDD-1.5 V			-70	-35	-5	µA
µC-Schnittstelle: bidirektionaler Datenbus DB7...0, Eingänge NWR_E, NRD_RNW, NCS, ALE, INT_NMOT, CFGSPI									
401	Vs()hi	Sättigungsspannung hi an DB7...0	Vs()hi = VDD- V(); I() = -4 mA					400	mV
402	Vs()lo	Sättigungsspannung lo an DB7...0	I() = 4 mA					420	mV
403	Vt()hi	Schwellspannung hi						2	V
404	Vt()lo	Schwellspannung lo				0.8			V
405	Vt()hys	Schwellspannungshysterese				300	500		mV
406	Ipd()	Pull-Down Strom gegen GND an DB7...0, ALE, CFGSPI, INT_NMOT	V() = 1.5 V ... VDD			4	35	70	µA
407	Ipu()	Pull-Up Strom gegen VDD an NRD_RNW, NWR_E, NCS	V() = 0 ... VDD-1.5 V			-70	-35	-4	µA

iC-MB3

BiSS INTERFACE MASTER, 1-Kanal/3-Slaves

Zielspezifikation



Ausgabe B2, Seite 6/27

KENNDATEN

Betriebsbedingungen:

VDD = 3 ... 5.5 V, Tj = -25 ... 125 °C, wenn nicht anders angegeben

Kenn Nr.	Symbol	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Oszillator: CLK, CLKOUT									
501	f(CLK)	Zulässige Taktfrequenz an CLK					20	25	MHz
502	f(CLKOUT)	Takt des internen Oszillators	VDD = 5V, CLKENI = 1				20		MHz
503	Vt(CLK)hi	Schwellspannung hi						2	V
504	Vt(CLK)lo	Schwellspannung lo				0.8			V
505	Vt(CLK)hys	Schwellspannungshysterese				300	500		mV
506	Ipd()	Pull-Down Strom an CLK	V() = 1.5 V ... VDD			4	35	70	µA
507	Vs()hi	Sättigungsspannung hi an CLKOUT	Vs(hi) = VDD - V(); I() = -4 mA					400	mV
508	Vs()lo	Sättigungsspannung lo an CLKOUT	I() = 4 mA					420	mV
509	Isc()hi	Kurzschlussstrom hi an CLKOUT	V() = 0			-30	-12	-4	mA
510	Isc()lo	Kurzschlussstrom lo an CLKOUT	V() = VDD			5	23	50	mA
Reset: NRES									
601	VDDoff	Unterspannungsreset durch VDD	VDD sinkend				1.6		V
602	VDDon	Spannungsfreigabe durch VDD	VDD steigend				1.75		V
603	VDDhys	Spannungshysterese	VDDhys = VDDon - VDDoff				100		mV
604	Vt()hi	Schwellspannung hi						2	V
605	Vt()lo	Schwellspannung lo				0.8			V
606	Vt()hys	Schwellspannungshysterese				300	500		mV
607	Ipd()	Pull-Down Strom	V() = 1.5 V ... VDD			4	35	70	µA
608	td(res)	Erforderliche Pulslänge an NRES zur Auslösung eines Resets				250			ns

BETRIEBSBEDINGUNGEN: μ C-Schnittstelle, INTEL-Modus

Betriebsbedingungen: CFGSPI = 0, INT_NMOT = 1
 VDD = 3 ... 5.5 V, Ta = -25 ... 85 °C; Eingangspegel lo = 0 ... 0.45 V, hi = 2.4 V ... VDD

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Max.		Einh.
					Min.	Max.	
I01	tsAA	Vorbereitungszeit: Adressen stabil vor ALE hi-lo		3/4	15		ns
I02	tAh	Pegeldauer: ALE auf high-Pegel		3/4	10		ns
I03	tsCA	Vorbereitungszeit: NCS hi-lo bis ALE hi-lo		3/4	10		ns
I04	thAA	Haltezeit: Adressen stabil nach ALE hi-lo		3/4	15		ns
I05	tsAW	Vorbereitungszeit: ALE hi-lo bis NWR_E hi-lo		3	0		ns
I06	tWI	Pegeldauer: NWR_E auf low-Pegel		3	10		ns
I07	tsDW	Vorbereitungszeit: Daten stabil vor NWR_E lo-hi		3	15		ns
I08	thWD	Haltezeit: Daten stabil nach NWR_E lo-hi		3	0		ns
I09	thWC	Haltezeit: NCS lo nach NWR_E lo-hi		3	0		ns
I10	thWA thRA	Haltezeit: ALE lo nach NWR_E lo-hi	NCS = lo	3/4	15		ns
I11	tsAR	Vorbereitungszeit: ALE hi-lo bis NRD_RNW hi-lo		4	0		ns
I12	tRI	Pegeldauer: NRD_RNW auf low-Pegel		4	70		ns
I13	tpRD1	Verzögerungszeit: Daten stabil nach NRD_RNW hi-lo		4	0	25	ns
I14	tpRD2	Verzögerungszeit: Datenbus hochohmig nach NRD_RNW lo-hi		4	0	25	ns

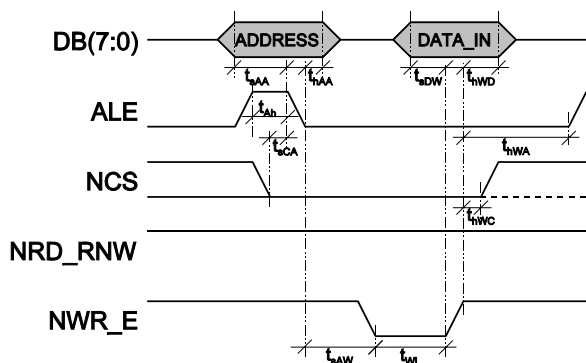


Bild 3: Schreibzyklus im Intel-Modus

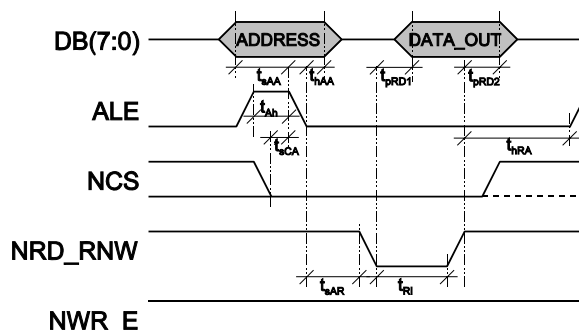


Bild 4: Lesezyklus im Intel-Modus

BETRIEBSBEDINGUNGEN: μ C-Schnittstelle, MOTOROLA-Modus

Betriebsbedingungen: CFGSPI = 0, INT_NMOT = 0
 VDD = 3 ... 5.5V, Ta = -25 ... 85 °C; Eingangspegel lo = 0 ... 0.45 V, hi = 2.4 V ... VDD

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Einh.	
					Min.	Max.
I20	tsAA	Vorbereitungszeit: Adressen stabil vor ALE hi-lo		5/6	15	ns
I21	tAh	Pegeldauer: ALE auf high-Pegel		5/6	10	ns
I22	tsCA	Vorbereitungszeit: NCS hi-lo bis ALE hi-lo		5/6	10	ns
I23	thAA	Haltezeit: Adressen stabil nach ALE hi-lo		5/6	15	ns
I24	tsAE	Vorbereitungszeit: ALE hi-lo bis NWR_E lo-hi		5/6	0	ns
I25	tsRE	Vorbereitungszeit: NRD_RNW lo-hi bis NWR_E lo-hi		5/6	0	ns
I26	tEh	Pegeldauer: NWR_E auf high-Pegel		5/6	10	ns
I27	tsDE	Vorbereitungszeit: Daten stabil vor NWR_E hi-lo		5	15	ns
I28	thED	Haltezeit: Daten stabil nach NWR_E hi-lo		5	0	ns
I29	thEC	Haltezeit: NCS lo nach NWR_E hi-lo		5/6	0	ns
I30	thER	Haltezeit: NRD_RNW lo nach NWR_E hi-lo		5/6	0	ns
I31	tpED1	Verzögerungszeit: Daten stabil nach NWR_E lo-hi		6	0	25
I32	tpED2	Verzögerungszeit: Datenbus hochohmig nach NWR_E hi-lo		6	0	25
I33	thEA	Haltezeit: NWR_E hi-lo bevor ALE lo-hi	NCS = lo	5/6	0	ns

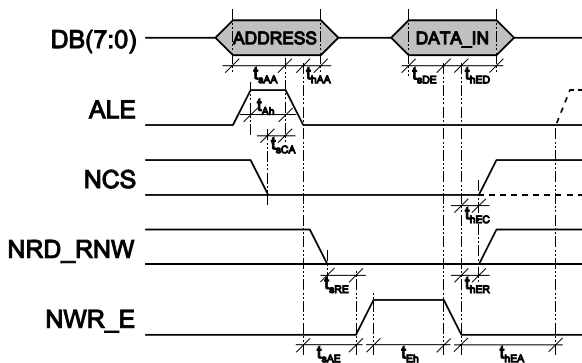


Bild 5: Schreibzyklus im Motorola-Modus

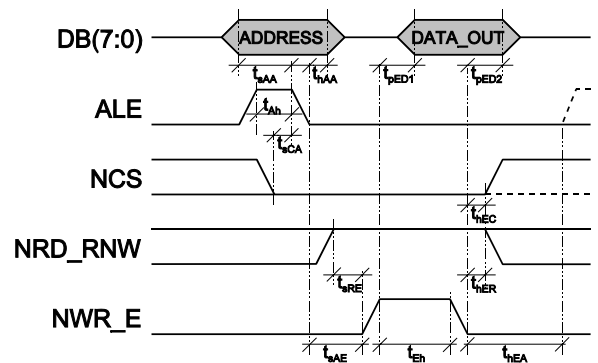


Bild 6: Lesezyklus im Motorola-Modus

BETRIEBSBEDINGUNGEN: μ C-Schnittstelle, SPI-Modus

Betriebsbedingungen: CFGSPI = 1

VDD = 3 ... 5.5 V, Ta = -25 ... 85 °C; Eingangspegel lo = 0 ... 0.45 V, hi = 2.4 V ... VDD

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Einh.	
					Min.	Max.
I40	t_{sCCL}	Vorbereitungszeit: NCS hi-lo bis SCLK/ALE lo-hi		7a	10	ns
I41	t_{sDCL}	Vorbereitungszeit: SI/DB0 stabil vor SCLK/ALE lo-hi		7a	15	ns
I42	t_{hDCL}	Haltezeit: SI/DB0 stabil nach SCLK/ALE lo-hi		7a	0	ns
I43	t_{CLh}	Pegeldauer SCLK/ALE hi		7a/b	10	ns
I44	t_{CLl}	Pegeldauer SCLK/ALE lo		7a/b	10	ns
I45	t_{hCLC}	Haltezeit: NCS lo nach SCLK/ALE lo-hi		7a/b	0	ns
I46	t_{CSH}	Pegeldauer NCS hi		7a/b	0	ns
I47	t_{pCLD}	Verzögerungszeit: SO/DB1 stabil nach SCLK/ALE hi-lo		7b	0	25
I48	t_{pCSD}	Verzögerungszeit: SO/DB1 hochohmig nach NCS lo-hi		7b	0	25

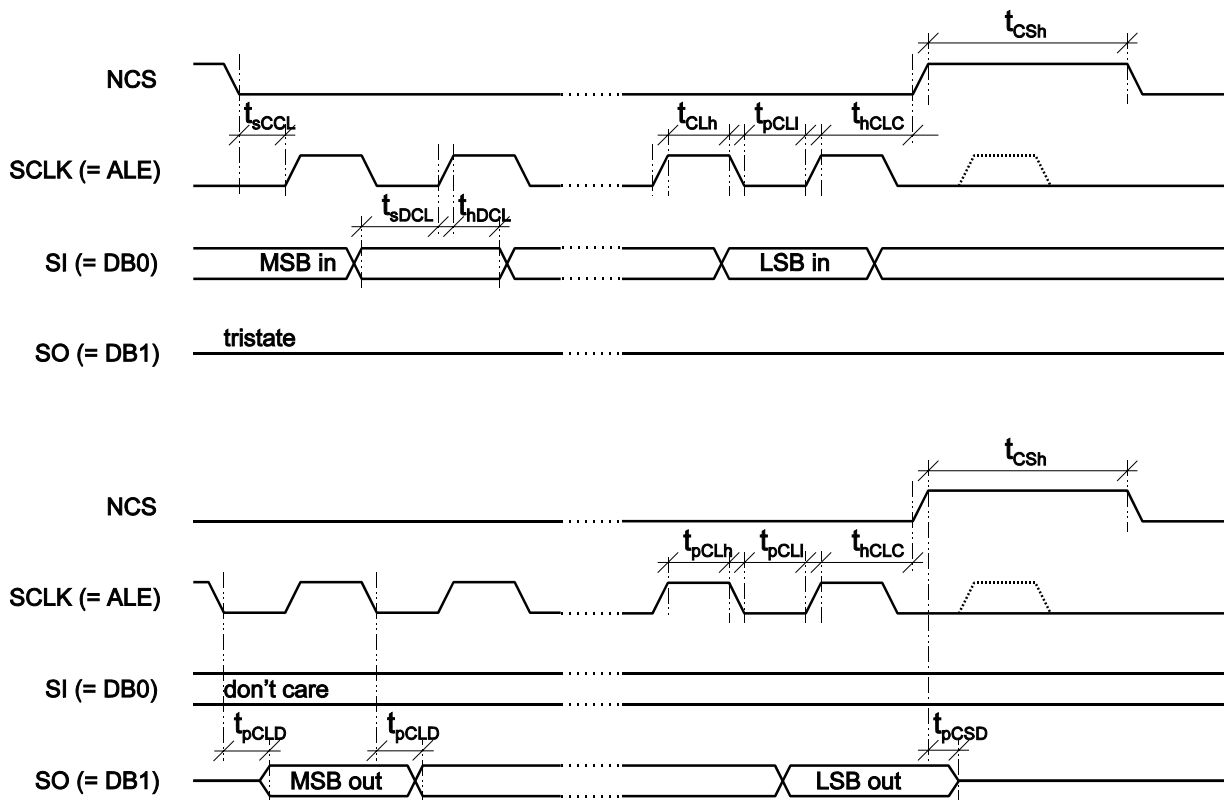


Bild 7: μ C-Schnittstelle im SPI-Modus, Schreibzyklus (oben), Lesezyklus (unten)

BETRIEBSBEDINGUNGEN: BiSS-Schnittstelle

Betriebsbedingungen: Registerbit SELSSI = 0

VDD = 3 ... 5.5 V, Ta = -25 ... 85 °C; Eingangspiegel lo = 0 ... 0.45 V, hi = 2.4 V ... VDD

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Max.		Einh.
					Min.	Max.	
Sensormodus							
I60	TMAS	Taktperiode	FreqSens über FREQ(4:0) entsprechend Tabelle Seite 17 eingestellt	8	2	320	1/f(CLK)
I61	tMASl	Taktsignal Pegelzeit lo		8	50		% TMAS
I62	tMASh	Taktsignal Pegelzeit hi		8	50		% TMAS
I63	tpLine	Zulässige Leitungsverzögerung		8	0	unbegrenzt	
I64	ΔtpL	Zulässige Verzögerungsdifferenz der nachfolgenden Takte zum ersten Takt	$\Delta tpL = \max(tpLine - tpLx); x = 1 \dots n$	8	25		% TMAS
I65	Ttos	Zulässiges Timeout (Slave)		8	55		% TMAS
Registermodus*							
I65	TMAR	Taktperiode	FreqReg über FREQ(7:5) entsprechend Tabelle Seite 17 eingestellt	9	2	256	TMAS
I66	tMA0h	"Logisch 0" Pegelzeit hi		9	25		% TMAR
I67	tMA1h	"Logisch 1" Pegelzeit hi		9	75		% TMAR
I68	tMAth	Taktsignal Pegelzeit hi	Austakten der Daten	9	50		% TMAR
I69	tsSL	Vorbereitungszeit: SL1 stabil vor MA1 lo-hi		9	30		ns
I70	thSL	Haltezeit SL1 stabil nach MA1 lo-hi		9	20		ns
I71	Ttor	Zulässiges Timeout (Slave)		9	80		% TMAR

*) Als Voraussetzung zur Taktung im Registermodus müssen die Slaves die Bereitschaft zur Registerkommunikation gemeldet haben (siehe S17).

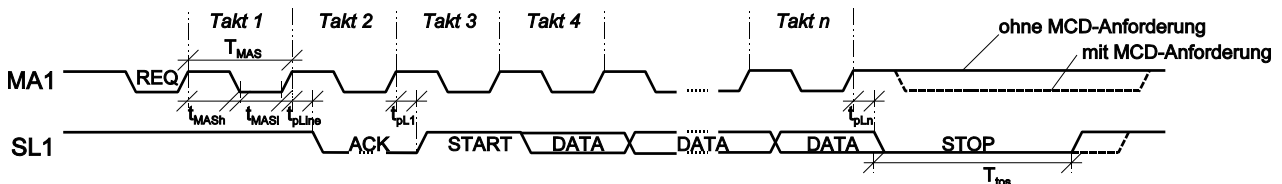


Bild 8: Zeitdiagramm Sensormodus

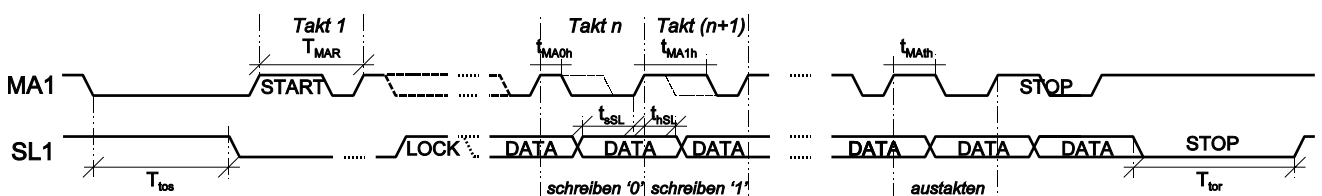


Bild 9: Zeitdiagramm Registermodus

Auswertung der Signale SL1

Im BiSS-Modus sind Verzögerungszeiten von mehr als einer Taktperiode zulässig, so dass Leitungsverzögerungen bei der Kommunikation keine Rolle spielen. Mit der Auswertung der Sensorantwort wird bis zur ersten fallenden Flanke auf SL1 gewartet, während an MA1 weiterhin das Taktsignal ausgegeben wird.

Innerhalb einer MA1-Taktperiode stehen vier gleichmäßig verteilte Abtastzeitpunkte zur Verfügung. Nach der fallenden Flanke auf SL1, dem Acknowledge-Signal vom Slave, wird der SL1-Pegel zwei Abtastzeitpunkte später ausgewertet, nahe der Mitte des übertragenen Bits.

BETRIEBSBEDINGUNGEN: BiSS-Schnittstelle (SSI-Modus)

Betriebsbedingungen: Registerbit SELSSI = 1;
 VDD = 3 ... 5.5 V, Ta = -25 ... 85 °C; Eingangspiegel lo = 0 ... 0.45 V, hi = 2.4 V ... VDD

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Max.		Einh.
					Min.	Max.	
I80	T _{MAS}	Taktperiode	FreqSens über FREQ(4:0) entsprechend Tabelle Seite 17 eingestellt	10	2	320	1/f(CLK)
I81	t _{MASh}	Taktsignal Pegelzeit hi		10	50		%T _{MAS}
I82	t _{MASl}	Taktsignal Pegelzeit lo		10	50		%T _{MAS}
I83	t _{sDC}	Vorbereitungszeit: SL1 stabil vor MA1 lo-hi		10	30		ns
I83	t _{hDC}	Haltezeit: SL1 stabil nach MA1 lo-hi		10	10		ns

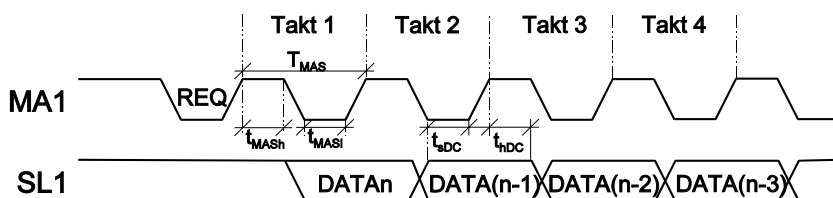


Bild 10: Zeitdiagramm SSI-Modus

Auswertung der Signale an SL1

Im SSI-Modus der BiSS-Schnittstelle erfolgt die Abtastung der SL1-Werte mit der steigenden Flanke an MA1. Eine Gesamtverzögerung der Sensorantwort auf den Takt an MA1, bedingt durch Verarbeitungszeiten im Sensor oder Leitungslaufzeiten, ist bis zur Länge einer Taktperiode zulässig.

FUNKTIONSBESCHREIBUNG

iC-MB3 muss entsprechend der angeschlossenen Sensoren konfiguriert werden, wozu im Baustein ein spezieller Speicherbereich vorgesehen ist. Die anderen Speicherbereiche stehen für die Zwischenspeicherung von eingehenden oder zu sendenden Slave-Daten zur Verfügung.

Zweiter Hauptbestandteil des Bausteins sind Logikblöcke, die die Kommunikation mit dem Controller und Slave-seitig das BiSS Schnittstellen-Protokoll ausführen.

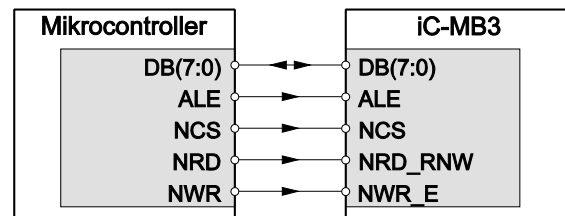
Mikrocontroller-Schnittstelle

iC-MB3 lässt sich über die Pins CFGSPI und INT_NMOT auf den Betrieb mit einem SPI-fähigen Mikrocontroller, einem Controller der Intel 8051-Familie oder der Motorola 68HC11-Familie konfigurieren.

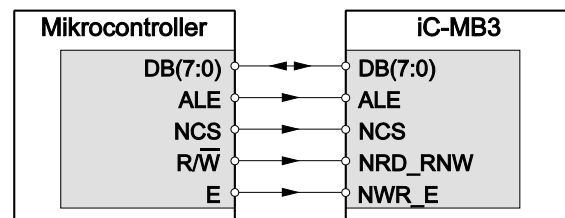
Hierbei wird der "8 bit multiplexed mode" verwendet, bei dem der bidirektionale Datenbus abwechselnd Adressen und Daten in 8 bit Breite überträgt (siehe Bilder 3 bis 6).

Kommunikationsarten		
CFGSPI	INT_NMOT	Modus
0	0	Motorola 68HC11
0	1	Intel 8051
1	-	SPI (polarity= 0, phase= 0)

Intel-Modus



Motorola-Modus



SPI-Modus

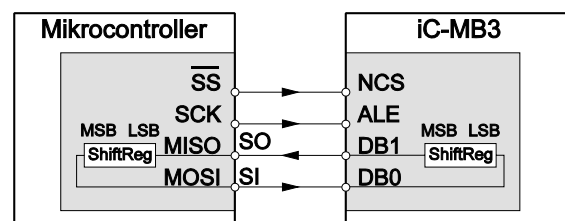


Bild 11: Verdrahtung Mikrocontroller und iC-MB3.

Beim Betrieb an einem SPI-Controller wird der Pin ALE als Takteingang (SCK) verwendet, Pin NCS als Freigabeingang (NCS), DB0 dient als Dateneingang (SI) und DB1 als Datenausgang (SO). Die Datenübertragung verläuft seriell in 8-bit-Blöcken der Abfolge Befehl, Adresse und Daten.

Vier Befehle stehen zur Verfügung: WriteData (0000 0010b), ReadData (0000 0011b), ReadStatus (0000 0101b) sowie WriteInstruction (0000 0111b). Mit den ersten beiden Befehlen können Daten in die iC-MB3-Register geschrieben bzw. aus diesen gelesen werden. Die beiden anderen Befehle sind verkürzte Schreib- und Lesebefehle, bei denen die Startadresse festgelegt ist (nämlich das Befehlsregister an Adresse 244 bzw. das Statusregister an Adresse 240). Aus diesem Grund kann auf die Adressangabe verzichtet werden und die Daten folgen direkt dem Befehl.

Bei allen Befehlen ist es möglich, mehrere Datenbytes hintereinander zu übertragen, indem das NCS-Signal nicht zurückgenommen und an ALE/SCK weiter getaktet wird. Die übertragene Adresse (bei ReadStatus Adresse 240, bei WriteInstruction Adresse 244) ist dann die Startadresse, die nach jedem übertragenen Byte intern um 1 erhöht wird.

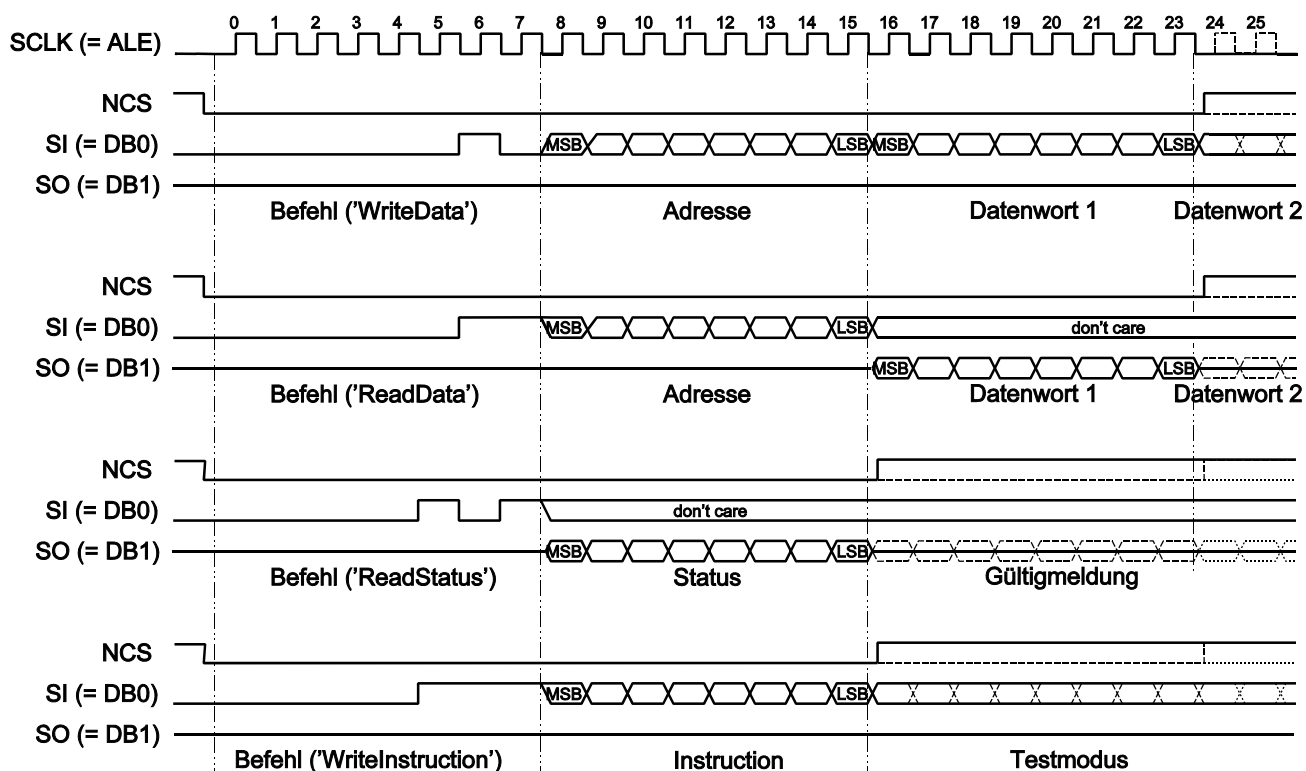


Bild 12: SPI-Übertragungsprotokoll (Polarität 0, Phase 0)

Konfigurationen der BiSS(SSl)-Schnittstelle

Bausteinregister					
Adresse ¹⁾	Beschreibung				Dir. ²⁾
00 ... 63	Sensordaten - 64 bit pro Slave				in/out
	Slave 1 Adressen 07...00; lowest Byte in Adr. 00	Slave 2 Adressen 15...08; lowest Byte in Adr. 08	Slave 3 Adressen 23...16; lowest Byte in Adr. 16	Adr. 63...24 reserviert für Slaves 4...8	
64 ... 127	Multicycle-Daten (MCD) - 64 bit pro Slave				in/out
	Slave 1 Adressen 71...64; lowest Byte in Adr. 64	Slave 2 Adressen 79...72; lowest Byte in Adr. 72	Slave 3 Adressen 87...80; lowest Byte in Adr. 80	Adr. 127...88 reserviert für Slaves 4...8	
128 ... 191	159 ... 128: Registerdaten (32 byte) 191 ... 160: reserviert für weitere Registerdaten				bidir
192 ... 223	Konfiguration Slaves - 32 bit pro Slave				in
	Slave 1 Adressen 195...192	Slave 2 Adressen 199...196	Slave 3 Adressen 203...200	Adr. 223...204 reserviert für Slaves 4...8	
224 ... 229	Konfiguration Registerkommunikation				in
230 ... 239	Konfiguration Master				in
240 ... 255	Statusinformationen und Befehlsregister				in/out

¹⁾ Alle Adressen sind dezimal angegeben, sofern nicht anders gekennzeichnet

²⁾ Direction in: nur vom μ C beschreibbar
 out: vom μ C nur auslesbar
 in/out: Bereich vom μ C teilweise beschreibbar, teilweise nur lesbar
 bidir: vom μ C sowohl beschreib- als auch lesbar

Sensordaten, Multicycle-Daten und Slavekonfiguration											
Adresse			Beschreibung								
SL1	SL2	SL3									
07	15	23	Sensordaten - SDATA(63...0)								
...									
00	08	16									
71	79	87	Multicycle-Daten - MCDData(63...0)								
...									
64	72	80									
			Konfiguration	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
192	196	200	Sensordaten	ACTnSENS *	ENSENS	SDLEN(5:0)					
193	197	201	Sensor-CRC	INVCRC	SENSCRCPOLY(7:1)						
194	198	202	MultiCycleDaten	GRAY	ENMCD	MCDLEN(5:0)					
195	199	203	MCD-CRC	INVCRCM	MCDCRCPOLY(7:1)						

* BiSS-Master für FPGA: ACTnSENS in einem anderen Speicherbereich

Bedeutung der Konfigurationsbits:

- ACTnSENS: Zugriff auf Slave-Datenspeicher: Lesen (0), Schreiben (1)
- ENSENS: Anpassung für Sensor-Daten: vorhanden (1), nicht vorhanden (0)
- SDLEN: Bitlänge der Sensor-Daten ¹⁾
- INVCRC: Übertragung der Sensor-CRC-Bits: Invertiert (1), nicht invertiert (0)
- SENSCRCPOLY: CRC-Polynom zur Prüfung der Sensor-Daten ²⁾

- GRAY: Gray/Binär-Wandlung für Sensor- und Multicycle-Daten: aktiv (1, erforderlich für SSI-Geber), nicht aktiv (0)

- ENMCD: Anpassung für Multicycle-Daten: vorhanden (1), nicht vorhanden (0)
- MCDLEN: Bitlänge der Multicycle-Daten ¹⁾
- INVCRCM: Übertragung der Multicycle-CRC-Bits: Invertiert (1), nicht invertiert (0)
- MCDCRCPOLY: CRC-Polynom zur Prüfung der Multicycle-Daten ²⁾

¹⁾ Die Länge der Daten ist um 1 vermindert anzugeben, d.h. für 64 Datenbits muss 63 eingetragen werden.

²⁾ Wird als CRC-Polynom 000 0000b angegeben, wird keine CRC-Prüfung durchgeführt. Da das letzte Bit eines CRC-Polynoms immer 1 ist, wird es im Polynomregister nicht eingetragen sondern im Master hinzugefügt. Dadurch ist ein CRC-Polynom von max. 8 Bit Länge möglich. Wird nicht die volle Polynomlänge benötigt, so ist das Polynom (ohne die letzte 1) rechtsbündig einzuschreiben und die führenden Stellen mit 0 aufzufüllen. Beispiel: das CRC-Polynom 10 0011b wird als 001 0001b gespeichert.

Konfiguration Registerkommunikation									
Adresse	Beschreibung	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
224	Nicht belegt	-	-	-	-	-	-	-	-
225	Nicht belegt	-	-	-	-	-	-	-	-
226	Startadresse	WNR	REGADR(6:0)						
227	Anzahl Bytes	-	-	REGNUM(5)	REGNUM(4:0)				
228	Kanalauswahl	CHSEL(8:1)							
229	SlaveID	-	REGVERS	SLAVEID(2:0)			-	-	-

Konfiguration Master									
Adresse	Beschreibung	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
230	Frequenzteilung	FREQ(7:0)							
231	Nicht belegt	-	-	-	-	-	-	-	-
232	Frequenzteilung AutoGetsens	FREQAGS(7:0)							
233	Nicht belegt	-	-	-	-	-	-	-	-
Baustein-Kennung									
234	Revision	0	0	0	0	0	0	0	1
235	Typ	1000 0011b							
Konfiguration Kanal									
236	Slaveplatzierung	SLAVELOC(8:1)							
237	Betriebsart	SELSSI4	BiSSMOD4	SELSSI3	BiSSMOD3	SELSSI2	BiSSMOD2	SELSSI1	BiSSMOD1
238	Betriebsart	SELSSI8	BiSSMOD8	SELSSI7	BiSSMOD7	SELSSI6	BiSSMOD6	SELSSI5	BiSSMOD5
239	Nicht belegt	-	-	-	-	-	-	-	-

Bedeutung der Konfigurationsbits:

- SELSSI: Protokolltyp: BiSS (0), SSI (1)
- BiSSMOD: BiSS-Protokollmodell: Modell A oder B (0), BiSS-A/S (1)

Statusinformationen und Befehlsregister									
Adresse	Beschreibung	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
240	Statusmeldung	nERR	nWDERR	nMCDERR	nSENSERR	nREGERR	REGEN	MCDEND	EOT
241	Gültigmeldung ^{1,2)}	SVALID4	MVALID4	SVALID3	MVALID3	SVALID2	MVALID2	SVALID1	MVALID1
242	Gültigmeldung ^{1,2)}	SVALID8	MVALID8	SVALID7	MVALID7	SVALID6	MVALID6	SVALID5	MVALID5
243	Registermeldung	MCD-TIMEOUT	REG ^{2,4)}	REG-BYTES(5)	REGBYTES(4:0)				
244	Befehlsregister	BREAK	UCREAD-SENS	SWRAM-BANK	INIT	REGCMD	GETSENS0	GETSENS1	AGS
245	Steuerfunktionen	MAV0	MAF0	MAV5	MAF5	reserviert	IDDQ ³⁾	IFTEST ³⁾	CLKENI
246	Nicht belegt	-	-	-	-	-	-	-	-
247	Nicht belegt	-	-	-	-	-	-	-	-
248	Kanalstatus	REG4	SL4	REG3	SL3	REG2	SL2	REG1 ²⁾	SL1
249	Kanalstatus	REG8	SL8	REG7	SL7	REG6	SL6	REG5	SL5
250	MCD-Bits ²⁾	MCD8	MCD7	MCD6	MCD5	MCD4	MCD3 ²⁾	MCD2 ²⁾	MCD1 ²⁾
251...255	Nicht belegt	-	-	-	-	-	-	-	-

 Reserviert für Bausteine mit höherer Slave- oder Kanalanzahl, bzw. größerem Registerdaten-Speicher.

- 1) Schreibversuch auf diese Register setzt die Registerwerte auf 0.
- 2) Zwei Speicherbänke verfügbar.
- 3) Nur für iC-Haus Bausteintest, muß auf 0 gesetzt werden.
- 4) Bei iC-MB3 ist das Registerbit REG mit REG1 identisch.

KONFIGURATION - Master

Mastertakt

Mit Hilfe des Frequenzteilungsregisters (Adresse 230) wird der Mastertakt eingestellt, der entweder aus dem Basistakt des internen 20 MHz-Oszillators (CLKENI = 1) oder aus einem externen Taktoszillator (CLKENI = 0) gewonnen wird, der den Pin CLK versorgt. Bei externem Takt wird kein Takt an CLKOUT ausgegeben.

Über $FREQ(4:0)$ wird die Taktfrequenz sowohl für den *BiSS*-Sensormodus als auch für den SSI-Modus gemäß der nebenstehenden Tabelle eingestellt. Bei einem externen Takt f_{CLK} von 20 MHz sind also für die Sensordatenübertragung Taktfrequenzen zwischen 62,5 kHz und 10 MHz wählbar.

BiSS- und SSI-Geräte erkennen die Busruhe am Ende eines Übertragungszyklus über eine ablaufende Monoflop-Zeit (timeoutSENS, siehe *BiSS*-Protokoll). Die Auswahl der möglichen Taktfrequenz ist deshalb eingeschränkt, weil die Hi- sowie die Lo-Pegeldauer das kürzeste Timeout aller angeschlossenen Teilnehmer (Slaves) nicht überschreiten darf.

BiSS-Geräte wechseln in den Registermodus, wenn sie die Busruhe nach einem Hi-Lo Übergang am Takteingang erkennen und melden diesen Status auf der Datenleitung an den Master zurück.

Die Taktfrequenz im *BiSS*-Registermodus wird über $FREQ(7:5)$ gewählt und kann im Bereich von etwa 244 Hz bis 5 MHz eingestellt werden. Für die Auswahl gibt es auch hier eine entsprechende Einschränkung, eine andere Monoflop-Zeit erkennt jetzt die Busruhe am Zyklusende (timeoutREG, siehe *BiSS*-Protokoll).

Zudem erlauben *BiSS*-Geräte in der Regel nur eine geringere Taktfrequenz, zum Beispiel 250 kHz maximal, weil die Taktform als PWM-Signal ausgewertet werden muss.

Automatische Sensordatenanforderung

Über $FREQAGS$ wird gemäß der nebenstehenden Tabelle die Frequenz eingestellt, mit der neue Sensordatenanforderungen an die Slaves gesendet werden. Bei einem externen Takt von 20 MHz sind Sensordatenanforderungsperioden von 1 μ s bis 4 ms möglich.

$FREQAGS$ muss so eingestellt werden, dass der Abstand zwischen zwei Datenanforderungen größer ist als ein kompletter Zyklus, bestehend aus der Übertragung von Request, Acknowledge (inkl. Leitungsverzögerung), Startbit (inkl. Verarbeitungszeit), einem Registerbit (optional), Sensor-, CRC- und MCD-Bits jedes Slaves zuzüglich des längsten Sensor-Timeouts aller Slaves.

Mastertakt im <i>BiSS</i> -Sensormodus und SSI (FreqSens)		
FREQ(3:0)	FREQ(4) = 0	FREQ(4) = 1
0	$f_{CLK}/2$	nicht zulässig
1	$f_{CLK}/4$	$f_{CLK}/40$
2	$f_{CLK}/6$	$f_{CLK}/60$
3	$f_{CLK}/8$	$f_{CLK}/80$
4	$f_{CLK}/10$	$f_{CLK}/100$
5	$f_{CLK}/12$	$f_{CLK}/120$
6	$f_{CLK}/14$	$f_{CLK}/140$
7	$f_{CLK}/16$	$f_{CLK}/160$
8	$f_{CLK}/18$	$f_{CLK}/180$
9	$f_{CLK}/20$	$f_{CLK}/200$
10	$f_{CLK}/22$	$f_{CLK}/220$
11	$f_{CLK}/24$	$f_{CLK}/240$
12	$f_{CLK}/26$	$f_{CLK}/260$
13	$f_{CLK}/28$	$f_{CLK}/280$
14	$f_{CLK}/30$	$f_{CLK}/300$
15	$f_{CLK}/32$	$f_{CLK}/320$

Eine Kombination von $FREQ(4) = 1$ mit $FREQ(3:0) = 0$ ist nicht zulässig; für eine Taktfrequenz von $f_{CLK}/20$ ist die Einstellung $FREQ(4) = 0$ und $FREQ(3:0) = 9$ zu wählen.

Mastertakt im <i>BiSS</i> -Registermodus (FreqReg)	
FREQ(7:5)	FreqReg
0	FreqSens/2
1	FreqSens/4
2	FreqSens/8
3	FreqSens/16
4	FreqSens/32
5	FreqSens/64
6	FreqSens/128
7	FreqSens/256

Automatische Sensordatenanforderung (FreqAGS)		
FREQAGS(6:0)	FREQAGS(7)= 0	FREQAGS(7)= 1
0	$f_{CLK}/20$	$f_{CLK}/625$
1	$f_{CLK}/40$	$f_{CLK}/1250$
2	$f_{CLK}/60$	$f_{CLK}/1875$
...
125	$f_{CLK}/2520$	$f_{CLK}/78750$
126	$f_{CLK}/2540$	$f_{CLK}/79375$
127	$f_{CLK}/2560$	$f_{CLK}/80000$

DATENSPEICHERUNG - Sensor- und Multicycle-Daten

Um gleichzeitig neue Sensordaten einlesen als auch einen Controllerzugriff durchführen zu können, sind die Speicherbereiche für Sensor- und Multicycle-Daten doppelt vorhanden (zwei Bänke). Während die Sensordaten in die erste RAM-Bank eingelesen werden, kann der Controller die zuletzt eingelesenen Sensordaten aus der zweiten RAM-Bank auslesen. Die Umschaltung der betreffenden Sensordaten-Speicherbänke erfolgt am Ende des Einlesevorganges, kann aber durch den Controller über das Befehlsregister-Bit UCREADSENS unterbunden werden. Die Umschaltung der MCD-Speicherbänke erfolgt nach Übertragung eines kompletten MCD-Zyklus, wenn auch das Bit MCDEND im Stausregister auf 1 geht. Parallel zu der Umschaltung der Speicherbänke erfolgt auch die Umschaltung des Gültigmeldungsregister (Adresse 241) und den Bits REG und MCD (Adressen 248-250).

Anordnung der Sensor- bzw. Multicycle-Daten im RAM

Der Speicherbereich der Sensor- bzw. Multicycle-Daten für jeden Slave umfasst 8 Byte, die in der Anordnung xxxxx111b bis xxxxx000b als 64 Bit Speicher aufgefasst werden können. Die Sensor- bzw. Multicycle-Daten werden hierbei an die Speicherstellen [SDLEN-1:0] bzw. [MCDLEN-1:0] geschrieben, wobei SDLEN bzw. MCDLEN die Länge der jeweiligen Daten bezeichnet. Sollte im zur Verfügung stehenden Speicher noch Platz für die CRC-Bits zur Verfügung stehen, so werden diese Bits in den Positionen [63:63-(CRCLen-1)] mit abgespeichert.

Beispiel Slave 2: 20 Bit Sensordaten, 6 Bit CRC => Gesamtlänge 26 Bit
 13 Bit Multicycle-Daten, 5 Bit CRC => Gesamtlänge 18 Bit

Adr. 07 ... 00: Sensordaten Slave 1
 Adr. 15 ... 08: Sensordaten Slave 2 -
 Adr. 15: SensCRC(5:0), undefiniert, undefiniert
 Adr. 14: - undefiniert -
 Adr. 13: - undefiniert -
 Adr. 12: - undefiniert -
 Adr. 11: - undefiniert -
 Adr. 10: undefiniert, undefiniert, undefiniert, undefiniert, SensData(19:16)
 Adr. 9: SensData(15:8)
 Adr. 8: SensData(7:0)
 Adr. 23 ... 16: Sensordaten Slave 3
 ...
 Adr. 71 ... 64: Multicycle-Daten Slave 1
 Adr. 79 ... 72: Multicycle-Daten Slave 2 -
 Adr. 79: MCDCRC(4:0), undefiniert, undefiniert, undefiniert
 Adr. 78: - undefiniert -
 Adr. 77: - undefiniert -
 Adr. 76: - undefiniert -
 Adr. 75: - undefiniert -
 Adr. 74: - undefiniert -
 Adr. 73: undefiniert, undefiniert, undefiniert, MCD(12:8)
 Adr. 72: MCD(7:0)
 Adr. 87 ... 80: Multicycle-Daten Slave 3
 ...

DATENSPEICHERUNG - Registerdaten

Zur Zwischenspeicherung von Registerinformationen, die aus den Slaves gelesen oder hineingeschrieben werden sollen, steht ein eigener Speicherbereich (Adressen 128 bis 159) zur Verfügung. In diesem Bereich können bis zu 32 Byte Daten zwischengespeichert werden. Diese werden dann auf einen einzigen Befehl hin an einen per SLAVEID(2:0) ausgewählten Slave übertragen bzw. von diesem als Registerdaten angefordert. Im Vergleich zur Sensordatenübertragung benötigt die Registerdatenübertragung mehr Zeit, so dass der Inhalt des Sensordaten- und MCD-Speichers danach möglicherweise überholt ist.

STATUSINFORMATIONEN und BEFEHLSREGISTER

Adresse 240: Statusmeldungen			
Bit	Bezeichnung	Funktion	Bemerkung
7	nERR	Fehler aufgetreten (low aktiv), entspricht Pegel an Pin NER (siehe Fehlermeldung, Seite 22)	
6	nWDERR	Watchdog-Fehler (low aktiv) bei - automatischer Sensordatenübertragung - Registerdatenübertragung	1
5	nMCDERR	CRC-Fehler in den Multicycle-Daten (low aktiv)	2
4	nSENSERR	CRC-Fehler in den Sensordaten (low aktiv)	2
3	nREGERR	CRC-Fehler bei der Registerdatenübertragung (low aktiv)	3
2	REGEND	Ende der Registerdatenübertragung	
1	MCDEND	Ende der Multicycle-Daten-Übertragung (MCD-Zyklus komplett)	
0	EOT	End Of Transmission: Kennzeichnung der beendeten Sensor-Registerdatenübertragung, Timeout wird nicht berücksichtigt.	

- Ein Watchdog-Fehler wird bei der automatischen Sensordatenübertragung ausgelöst, wenn kein neuer Zyklus gestartet werden konnte; Bit AGS im Befehlsregister wird zurückgesetzt und die automatische Sensordatenanforderung wird abgebrochen. Bei der Registerdatenübertragung wird der Watchdog-Fehler ausgelöst, wenn der Slave nicht antwortet, also auf die erste fallende Masterflanke nicht mit einem low-Pegel reagiert oder kein Startbit generiert.
- Wird ein Sensordaten- oder MCD-Fehler gemeldet, so kann durch Auslesen der Adresse 241 (Gültigmeldung) der fehlerauslösende Sensor festgestellt werden.
- Bei Meldung eines Registerdatenfehlers kann durch Auslesen der Registermeldung REGBYTES (Adresse 243, Bits 5...0) die Anzahl der korrekt übertragenen Bytes vor Auftreten des Fehlers abgelesen werden. Die weitere Datenübertragung wird im Fehlerfall abgebrochen.

Adresse 241: Gültigmeldungen			
Bit	Bezeichnung	Funktion	Bemerkung
7	MVALID4	not used	1
6	SVALID4	not used	1
5	MVALID3	auslesbare Multicycle-Daten von Slave 3 gültig	1
4	SVALID3	auslesbare Sensordaten von Slave 3 gültig	1
3	MVALID2	auslesbare Multicycle-Daten von Slave 2 gültig	1
2	SVALID2	auslesbare Sensordaten von Slave 2 gültig	1
1	MVALID1	auslesbare Multicycle-Daten von Slave 1 gültig	1
0	SVALID1	auslesbare Sensordaten von Slave 1 gültig	1

- Ein beliebiger Schreibversuch auf dieses Register setzt die Gültigmeldungen zurück.

Adresse 243: Registermeldung			
Bit	Bezeichnung	Funktion	Bemerkung
7	MCDTIMEOUT	MCD-Timeout abgelaufen (1), nicht abgelaufen (0)	1
6	REG	aktuelles Registerdatenbit bei Slave mit <i>BiSS</i> -Modell C	2
5	REGBYTES(5)	not used	
4...0	REGBYTES(4:0)	Anzahl korrekt übertragener Registerbytes im Fehlerfall	3

1. Eine neue MCD-Anforderung kann erst bei abgelaufenem MCD-Timeout erfolgen; wird vorher eine neue MCD-Anforderung gestartet, wird dies von Slaves, die mit dem *BiSS*-Protokoll Modell C arbeiten, als Registerdatenübertragung ausgewertet (siehe "Registerkommunikation im Sensormodus").
2. Bei der Datenübertragung im Format vom *BiSS*-Protokoll Modell C, bei der zusammen mit den Sensor- und Multicycle-Daten auch Registerdaten übertragen werden, kann das aktuelle Registerdatenbit im Bit REG ausgelesen werden. Für dieses Bit steht wie bei den Sensordaten ein zweiter Speicherbereich zur Verfügung, der das Auslesen des im letzten Zyklus übertragenen Bits erlaubt, während ein neuer Zyklus läuft. Die Umschaltung erfolgt parallel zu der Umschaltung der Sensordatenbänke.
3. Bei fehlerfreier Übertragung sind diese Bits 0, im anderen Fall wird die Anzahl der Registerbytes angezeigt, die fehlerfrei übertragen werden konnten.

Adresse 244: Befehlsregister			
Bit	Bezeichnung	Funktion	Bemerkung
7	BREAK	Abbruch der aktuellen Aktion (z.B. Stop des Taktes an MA1)	
6	UCREADSENS	Sperrung der RAM-Bank-Umschaltung	
5	SWRAMBANK	Zwangsweise Umschaltung aller RAM-Bänke und der Gültigkeitsregister	
4	INIT	Sensorinitialisierung	
3	REGCMD	Ausführung eines Registerzugriffs	
2	GETSENS0	Einmalige Sensordatenabfrage mit high-Pegel am Zyklusende (keine Anforderung neuer Multicycle-Daten)	
1	GETSENS1	Einmalige Sensordatenabfrage mit low-Pegel am Zyklusende (Anforderung neuer Multicycle-Daten)	
0	AGS	Start der automatischen Sensordatenanforderung (AutoGetSens).	

Alle Bits mit Ausnahme von AGS, UCREADSENS, SWRAMBANK und INIT werden nach der Befehlsausführung vom Master selbständig gelöscht.

Mit dem BREAK-Befehl können alle laufenden Aktionen abgebrochen werden, z.B. um bei einem fehlerhaften Sensor wieder in einen definierten Zustand zu gelangen.

Während des Auslesens mehrerer Sensordatenregister durch den Controller könnten durch Abschluss einer Sensordatenübertragung die RAM-Bänke im Master umgeschaltet werden. Damit der Controller nur zusammengehörige Werte liest, sollte das Bit UCREADSENS zu Beginn des Auslesens gesetzt und zum Schluss wieder zurückgenommen werden; die Umschaltung wird in diesem Fall unterdrückt. Mit dem Start eines neuen Sensordatenzyklus werden dann die zuvor eingegangenen Daten mit den neuen Sensordaten überschrieben.

Jedes Setzen oder Löschen des Bits SWRAMBANK erzwingt ein Umschalten der RAM-Bänke für Sensor- und Multicycle-Daten. So können z.B. die gerade eingegangenen Daten auslesen zu können, wenn ein Zyklus

während UCREADSENS = 1 geendet hat (erkennlich daran, dass EOT im Statusregister während der Umschaltunterdrückung auf 1 gegangen ist).

Über das Kommando INIT kann die Initialisierung der Sensorkette erfolgen. Ein gesetztes REG-Bit startet eine Registerdatenübertragung zwischen iC-MB3 und einem Sensor.

Eine Sensordatenübertragung kann über die Bits GETSENS0 und GETSENS1 erfolgen. In beiden Fällen wird eine neue Sensordatenübertragung ausgelöst, der Unterschied dieser beiden Befehle liegt in dem Abschluss des Übertragungszyklus. Bei GETSENS0 endet der Zyklus mit einem high-Pegel, bei GETSENS1 mit einem low-Pegel, was zusätzlich eine MCD-Anforderung bedeutet. In diesem Fall sollte der vorherige MCD-Zyklus beendet (MCDEND = 1) und der MCD-Timeout abgelaufen sein (MCDTIMEOUT = 1).

Wird die Sensordatenübertragung mit GETSENS0 = 1 und GETSENS1 = 1 eingeleitet, endet der Übertragungszyklus in Abhängigkeit des eingestellten Bits REG (Adresse 243, Bit 6), und zwar mit einem high-Pegel für REG = 0 oder einem low-Pegel für REG = 1. Diese Funktion ermöglicht es an Slaves, die nach dem BiSS-Protokoll Modell C arbeiten, parallel zur Sensordatenübertragung auch Registerdaten zu übertragen (siehe Registerdatenübertragung im Sensormodus).

Um die synchronisierte Datenwandlung mehrerer Slaves zu ermöglichen, die unterschiedlich lange Aufwachzeiten benötigen (Power-Save-Modus), können durch explizites Setzen des Bits GETSENS1 ein Sensordatenzyklus gestartet werden, bei dem zunächst alle Slaves geweckt werden. Nachdem diese ihre Bereitschaft durch das Senden des MCD-Startbits bestätigt haben, erzwingt ein nochmaliges Setzen von GETSENS1 (nach Ablauf des MCD-Timeouts) die synchrone Speicherung der Multicycle-Daten in allen Slaves (siehe allgemeine Dokumentation zum BiSS-Protokoll).

Im Falle eines gesetzten Bits AGS werden zyklisch nach der im Register 232 (FREQAGS) eingestellten Zyklusfrequenz ohne weitere Aufforderung durch den Controller die Sensordaten eingelesen. Sobald alle angeschlossenen Slaves ihre MCD-Übertragung abgeschlossen haben (MCDEND = 1, MCDTIMEOUT = 1), wird automatisch eine neue MCD-Anforderung gestartet.

Die Register Startadresse (REGADR, Adresse 226), Anzahl Bytes (REGNUM, Adresse 227) und Slave-ID (SLAVEID, Adresse 229) legen fest, von welcher Slave-Registeradresse an wieviele Bytes in welchen Slave geschrieben bzw. von welchem Slave gelesen werden sollen. Eine Byteanzahl von 0 für REGNUM bedeutet die Übertragung eines Registerwertes, die Angabe von 31 die Übertragung von 32 Registerwerten. Im Register REGBYTES (Adresse 243) steht bei fehlerfreier Kommunikation der Wert 0, im Fehlerfall die Zahl der korrekt gelesenen bzw. geschriebenen Register.

Der iC-MB3 unterstützt nicht die eigenständige Registerkommunikation nach dem BiSS-Modell C, deshalb muss Bit REGVERS der Adresse 229 unbedingt auf 0 gesetzt bleiben.

Initialisierung

Um die Busteilnehmer zu initialisieren und ihre Position bezüglich der Reihenfolge finden zu lassen (insbesondere damit der erste Slave seine Position als FirstSlave erkennt), muss die Masterleitung nach einer 1-Zeit - in der Dauer länger als das längste Sensor-Timeout - auf 0 gesetzt werden. Die Slaves melden die erfolgte Initialisierung ihrerseits durch ein 0 auf der Leitung SL1.

Während der Initialisierung werden im Master interne Zähler und Fehlerflags gelöscht bzw. gesetzt. Sollte ein Slave defekt sein und nicht auf 0 gehen, so muss der Initialisierungszustand durch einen BREAK-Befehl abgebrochen werden.

Die Initialisierung endet mit einem Setzen des Flags MCD-Timeout (Adresse 243); im nächsten Sensordatenzyklus kann also eine MCD-Anforderung erfolgen.

Kommunikation im Sensormodus

Die Sensordatenübertragung beginnt dadurch, dass der Master am Pin MA1 das Taktsignal mit der über **FREQ** gewählten Taktfrequenz ausgibt. Ab der zweiten fallenden Flanke wird die Leitungslaufzeit, also die Verzögerung bis zum Acknowledge an SL1, bestimmt.

Während der Takt an MA1 weiter ausgegeben wird, wartet der Master auf das Startbit (1), mit dem die Datenübertragung ankündigt wird. Anschließend beginnt das eigentliche Austakten der Sensordaten, d.h. mit jeder steigenden Flanke auf der MA1-Leitung stellen die Sensoren ein neues Bit auf die SL1-Leitung.

Die beim Master eingehenden Sensordaten sowie die folgenden CRC-Daten werden in das entsprechende Sensordaten-RAM geschrieben und gleichzeitig wird der neue CRC-Wert unter Verwendung des im Konfigurations-RAM gespeicherten CRC-Polynoms und in Abhängigkeit von **InvSensCRC** berechnet. Stellt sich nach Eingang des letzten CRC-Bits heraus, dass die Übertragung fehlerhaft war, wird die entsprechende Gültigmeldung in Adresse 241 gelöscht und die Fehlermeldung **nSENSERR** im Statusregister (Adresse 240) gesetzt. Gleichzeitig erfolgt die Umschaltung der Sensordaten-RAM-Bänke.

Sollte der Sensor MCD-fähig sein, wird das dem Sensordaten-CRC folgende MCD-Bit an der entsprechenden Position des zugehörigen RAM-Speichers abgelegt. Falls ein CRC-Code ausgewertet werden muss, wird gleichzeitig der neue CRC-Wert - unter Verwendung des im Konfigurations-RAM gespeicherten CRC-Polynoms sowie in Abhängigkeit von **InvMDCRC** - berechnet und ebenfalls im RAM ablegt. Mit dem letzten eingelesenen CRC-Bit der Multicycle-Daten wird die Fehlerfreiheit der Übertragung überprüft und im Fehlerfall das entsprechende Bit der Gültigmeldung gelöscht.

Am Ende des Sensordatenzyklus, in dem das letzte Bit der längsten Multicycle-Daten aller angeschlossenen Sensoren eingelesen wurde, wird das Ende einer MCD-Übertragung durch das Flag **MCDEND** gemeldet und gleichzeitig die MCD-RAM-Bänke umgeschaltet. Der Controller kann jetzt die aktuellen MCD-Werte auslesen.

Jeder Sensordatenzyklus, der mit einer MCD-Anforderung endet, setzt den Zähler für das MCD-Timeout zurück. Jeder Zyklus ohne MCD-Anforderung erhöht den Zählerstand um 1, bis nach 14 aufeinander folgenden Zyklen das Bit **MCDCR** gesetzt wird. Hierdurch wird sichergestellt, dass eine Unterscheidung zwischen MCD-Anforderung und gesendetem Registerbit eines Slaves mit **BiSS**-Schnittstelle nach Protokoll Modell C möglich ist (siehe Registerkommunikation im Sensormodus).

Kommunikation im Registermodus

Melden die Slaves Ihre Bereitschaft zur Registerkommunikation (**SL1 = 0**), so wird die Adressierungssequenz, bestehend aus Startbit (1), der Slave-ID, der Registeradresse, dem Schreib-/Lese-Flag, dem daraus gewonnenen invertierten CRC sowie einem Stopbit (0) zusammengestellt und anschließend Bit für Bit übertragen.

Gleichzeitig wird die ID-Verteilung der Slaves überprüft: reagiert keiner der Slaves (**SL1** nach 9 Takten nicht 1), so wird die Kommunikation mit der Meldung Registerfehler (**nREGERR = 0**) abgebrochen. Das Gleiche geschieht, wenn die Antwort des Slaves nach bei der 17. steigenden Flanke an MA1 nicht 0 ist.

Soll ein Registerwert an einen Slave übertragen werden, wird nach 17 Takten (also nach Übertragung von Startbit, Slave-ID, Registeradresse, **WNR**, CRC und Stopbit) mit der Übertragung des neuen Registerwertes begonnen - bestehend aus Startbit (1), dem neuen Registerinhalt, dem invertierten CRC-Code und einem Stopbit (0). Gleichzeitig wird die Antwort des Slaves (**SL1**) kontrolliert. Sendet der Slave kein Startbit (z.B. weil das

adressierte Register nicht existiert oder ein schreibgeschütztes Register angesprochen ist), so wird die Kommunikation nach 4096 MA1-Takten mit der Meldung nWDERR abgebrochen, bei fehlerhaftem CRC mit der Meldung Registerfehler (nREGERR = 0).

Ist die Übertragung fehlerlos, werden bei Bedarf weitere Registerwerte zusammengestellt und übertragen, bis die Registerkommunikation beendet ist. Nach der Kommunikation befindet sich bei fehlerfreier Kommunikation in Register 243 der Wert 0, im Fehlerfall die Zahl der korrekt übertragenen Bytes.

Beim Auslesen eines Registerwertes aus einem Slave wird nach der korrekten Adressierungssequenz (s.o.) unter weiterer Taktausgabe an MA1 gewartet, bis der adressierte Slave ein Startbit sendet. Während dieser Wartezeit kann ein Slave z.B. ein angeschlossenes EPROM auslesen und anschließend diesen Wert an den Master übertragen. Ist das Startbit des Slaves beim Master eingegangen, werden die eigentlichen Datenbits gespeichert und "on the fly" die CRC-Prüfung durchgeführt. Die CRC-Prüfung arbeitet fest mit dem Polynom 10011b und mit invertierten CRC-Bits. Ergibt sich während der Übertragung ein CRC-Fehler, so wird dies durch die Meldung Registerfehler angezeigt, die Anzahl der fehlerfrei übertragenen Registerwerte wird im Register 243 abgelegt und die weitere Kommunikation abgebrochen.

Tritt kein Fehler während der Datenübertragung auf, so können auf weitere Takte an MA1 hin die nächsten Registerwerte vom Slave an den Master übertragen werden. Im Register 243 befindet sich bei fehlerfreier Übertragung der Wert 0.

Die Kommunikation im Registermodus endet mit einem Setzen des Flags MCD-Timeout (Adresse 243); im nächsten Sensordatenzyklus kann also eine MCD-Anforderung erfolgen.

Fehlermeldung

In dem Register Gültigmeldung (Adresse 241) wird im Sensormodus für jeden Slave getrennt die Gültigkeit der Daten abgelegt. Im Falle eines Fehlers wird die entsprechende Gültigkeitsmeldung gelöscht sowie nSENSERR bzw. nMCDERR im Statusregister auf 0 gesetzt und der Fehler am Pin NER angezeigt.

Im Registermodus führt ein Registerfehler (nREGERR = 0) oder ein mindestens 4096 MA1-Takte ausbleibendes Startsignal der Slaves zu einer Fehlermeldung an NER. Da nach einer Initialisierung noch keine gültigen Sensordaten existieren, sind dementsprechend alle Bits aus der Gültigkeitsmeldung (Adresse 241) gelöscht; es wird aber keine Anzeige am Pin NER generiert.

Ein Watchdog-Fehler wird ausgelöst, wenn bei der automatischen Sensordatenübertragung kein neuer Auslesezyklus gestartet werden konnte. In diesem Falle wird das Bit AGS im Befehlsregister zurückgesetzt und die zyklische Sensordatenabfrage abgebrochen.

Ein Watchdog-Fehler wird ebenfalls ausgelöst, wenn bei der Registerdatenübertragung die Antwort des Slaves ausbleibt. Dafür gibt es zwei Fehlerursachen: entweder reagiert ein Slave nicht auf die erste fallende Flanke mit einem Io-Pegel, oder es wird durch den Slave kein Startbit generiert.

Es ist möglich, an den Pin NER andere Bauteile anzuschließen, die dann ebenfalls eine Fehlermeldung erzeugen können, die über das Bit nERR im Statusregister an Adresse 240 ausgelesen werden kann.

Registerkommunikation im Sensormodus

Im BiSS-Protokoll (nur BiSS-A/S) ist es möglich, Registerdaten auch während einer zyklischen Sensordatenübertragung an den Slave zu senden bzw. von diesem zu empfangen.

In Verbindung mit dem BiSS-Master iC-MB3 muss der Controller über durchgeführte bzw. unterlassene MCD-Anforderungen die 1-en und 0-en anordnen, die für die der Sensordatenkommunikation überlagerte Registerdatenkommunikation notwendig sind.

Die Übertragung von Registerdaten vom Sensor zum BiSS-Master erfolgt ähnlich wie bei den MCD-Daten durch ein zusätzlich zu den Sensordaten übertragenes Bit, das jedoch den Sensordaten vorangestellt wird. Das erste empfangene Bit wird als Registerdatenbit interpretiert, wenn das Bit BiSSMOD im MCD-Konfigurationsregister des entsprechenden Slaves (Adresse 194, 198 bzw. 202) auf 1 gesetzt ist.

Zur Übertragung von Registerdaten und zur MCD-Anforderung sind - in Abhängigkeit von MCDTIMEOUT - folgende GETSENSx-Kommandos notwendig:

GETSENS-Funktionen			
BiSSMOD	GETSENS-Befehl	MCDTIMEOUT	Funktion
0 (Modell B)	GETSENS0	nicht relevant	Start Sensordatenübertragung
	GETSENS1	0	Start Sensordatenübertragung; <i>nicht sinnvoll</i> , da hierbei der Zähler für MCDTIMEOUT zurückgesetzt wird
		1	Start Sensordatenübertragung; neue MCD-Anforderung
1 (BiSS-A/S)	GETSENS0	0	Start Sensordatenübertragung; Übertragung einer 0
		1	Start Sensordatenübertragung
	GETSENS1	0	Start Sensordatenübertragung; Übertragung einer 1
		1	Start Sensordatenübertragung; neue MCD-Anforderung

APPLIKATIONSHINWEISE

Systembeispiel: iC-MB3 mit zwei Interpolator-ICs iC-NQ

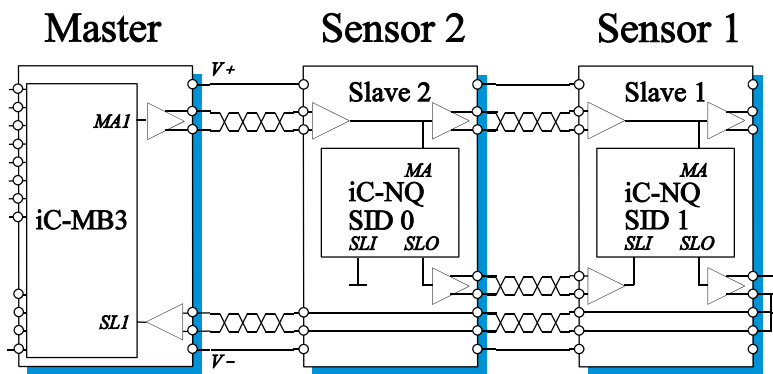


Bild 13: Beispielkonfiguration

Sensor1: <Manufacturer Code="6943"> – IC-Haus GmbH <Device Code="4E5159300300"> – IC-NQ RES=8192 <Sens> <Length>15</Length> – 13 bit Sensordaten + Error1+ Error2 <CrcPoly>0x25</CrcPoly> – Polynom '01001011'b <InvCrc>1</InvCrc> – CRC-Bits invertiert </Sens> <Mcd> <Length>24</Length> – 24 bit Periodenzähler (MCD) <CrcPoly>0x25</CrcPoly> – Polynom '01001011'b <InvCrc>1</InvCrc> – CRC-Bits invertiert </Mcd> <Reg> <IdUsed>1</IdUsed> – maximal 128 Register => eine Slave-ID </Reg> </Device> </Manufacturer>	Sensor2: <Manufacturer Code="6943"> – IC-Haus GmbH <Device Code="4E5159302600"> – IC-NQ RES=1024, Periodenzähler <Sens> <Length>20</Length> – 10 bit Sensordaten+ Error1 + Error2 + 8 bit Periodenzähler <CrcPoly>0x25</CrcPoly> – Polynom '01001011'b <InvCrc>1</InvCrc> – CRC-Bits invertiert </Sens> <Mcd> <Length>16</Length> – 24 bit Periodenzähler, davon 16 bit als MCD <CrcPoly>0x25</CrcPoly> – Polynom '01001011'b <InvCrc>1</InvCrc> – CRC-Bits invertiert </Mcd> <Reg> <IdUsed>1</IdUsed> – maximal 128 Register => eine Slave-ID </Reg> </Device> </Manufacturer>
--	--

Bild 14: Beispiel der BiSS Geräte-Beschreibungsdatei als XML

Annahmen:

Sensor 1: iC-NQ mit 8192 Schritten Auflösung, CRC-Polynom 10 0101b und invertiertem CRC, 24 bit Periodenzähler mit CRC-Polynom 10 0101b und invertiertem CRC; Timeout_{SENS}: 2,62µs

Sensor 2: iC-NQ mit 1024 Schritten Auflösung, CRC-Polynom 10 0101b und invertiertem CRC, 24 bit Periodenzähler (davon 8 bit mit den Sensordaten gesendet, 16 bit als MCD) mit CRC-Polynom 10 0101b und invertiertem CRC; Timeout_{SENS}: 2,62µs

Takt iC-MB3: 20 MHz (nach Kenndaten gemäß Datenblatt)

Einstellung der Taktfrequenz für Sensormodus: max. 10 MHz => FREQ(4:0) = 00000b (10 MHz)

Einstellung der Taktfrequenz für Registermodus: max. 250 kHz => FREQ(7:5) = 101b (156 kHz)

Bestimmung der Zykluszeit für die automatische Sensordatenübertragung:

ohne Leitungsverzögerung, ohne Verarbeitungszeit =>

$$\text{Zykluszeit} = (3 + (15+6+1) + (20+6+1)) \text{ Takte} + \text{Timeout}_{\text{SENS}}$$

$$= 52 * 0,1\mu\text{s} + 2,62\mu\text{s} = 7,82\mu\text{s} \approx 156 * t_{\text{CLK}}$$

$$\text{AutoGetSens-Zeit} > \text{Zykluszeit} \Rightarrow \text{FREQAGS} \geq 7$$

Systembeispiel: Erforderliche Konfigurationen für iC-MB3

Konfiguration Master									
Adresse	Beschreibung	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
230	Frequenzteilung					1010	0000b		
232	Frequenzteilung AutoGetsens					0000	0111b		

Slavekonfiguration: Slave 1									
Adresse	Beschreibung	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
192	Sensordaten	0	1			00	1110b		
193	Sensor-CRC	1				001	0010b		
194	MultiCycleDaten	0	1			01	0111b		
195	MCD-CRC	1				001	0010b		

Slavekonfiguration: Slave 2									
Adresse	Beschreibung	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
196	Sensordaten	0	1			01	0011b		
197	Sensor-CRC	1				001	0010b		
198	MultiCycleDaten	0	1			00	1110b		
199	MCD-CRC	1				001	0010b		

Slavekonfiguration: Slave 3									
Adresse	Beschreibung	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
200	Sensordaten	0	0						nicht relevant
201	Sensor-CRC								nicht relevant
202	MultiCycleDaten	0	0						nicht relevant
203	MCD-CRC								nicht relevant

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.

Ein Nachdruck dieser Spezifikation - auch auszugsweise - ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/ Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

iC-MB3

BiSS INTERFACE MASTER, 1-Kanal/3-Slaves

Zielspezifikation



Ausgabe B2, Seite 27/27

BESTELL-HINWEISE

Typ	Gehäuse	Bestellbezeichnung
iC-MB3	TSSOP24 4.4 mm	iC-MB3 TSSOP24
Demo-Board SPI Demo-Board PAR		iC-MB3 EVAL MB3D-S iC-MB3 EVAL MB3D-P
BiSS PC-LPT Adapter BiSS PC-USB Adapter		separate Beschreibungen erhältlich

Technischen Support und Auskünfte über Preise und Liefertermine geben:

iC-Haus GmbH
Am Kuemmerling 18
55294 Bodenheim

Tel. 06135-9292-0
Fax 06135-9292-192
<http://www.ichaus.com>
E-Mail sales@ichaus.com

Autorisierte Distributoren nach Region: http://www.ichaus.de/support_distributors.php