

# iC-LFL1402

## 256x1-ZEILENSENSOR

### EIGENSCHAFTEN

- ◆ 256 aktive Pixel mit Fotodioden der Größe  $56\ \mu\text{m} \times 200\ \mu\text{m}$ , lückenlos und verzerrungsfrei im  $63.5\ \mu\text{m}$ -Raster (400 DPI)
- ◆ Integrierende Licht-Spannungswandlung mit Sample-and-Hold
- ◆ Hohe und gleichförmige spektrale Empfindlichkeit
- ◆ Hohe Taktrate bis 5 MHz
- ◆ Nur 256 Takte zum Auslesen notwendig
- ◆ Shutter-Funktion erlaubt flexible Integrationszeiten
- ◆ Glitch-freier Analogausgang
- ◆ Ausgangsverstärker mit Push-Pull-Stufe
- ◆ 5 V Versorgungsspannung
- ◆ Verringerung der Stromaufnahme durch externe Bias-Stromeinstellung möglich
- ◆ Funktion vergleichbar zu TSL1402 (serieller Betrieb)

### ANWENDUNGEN

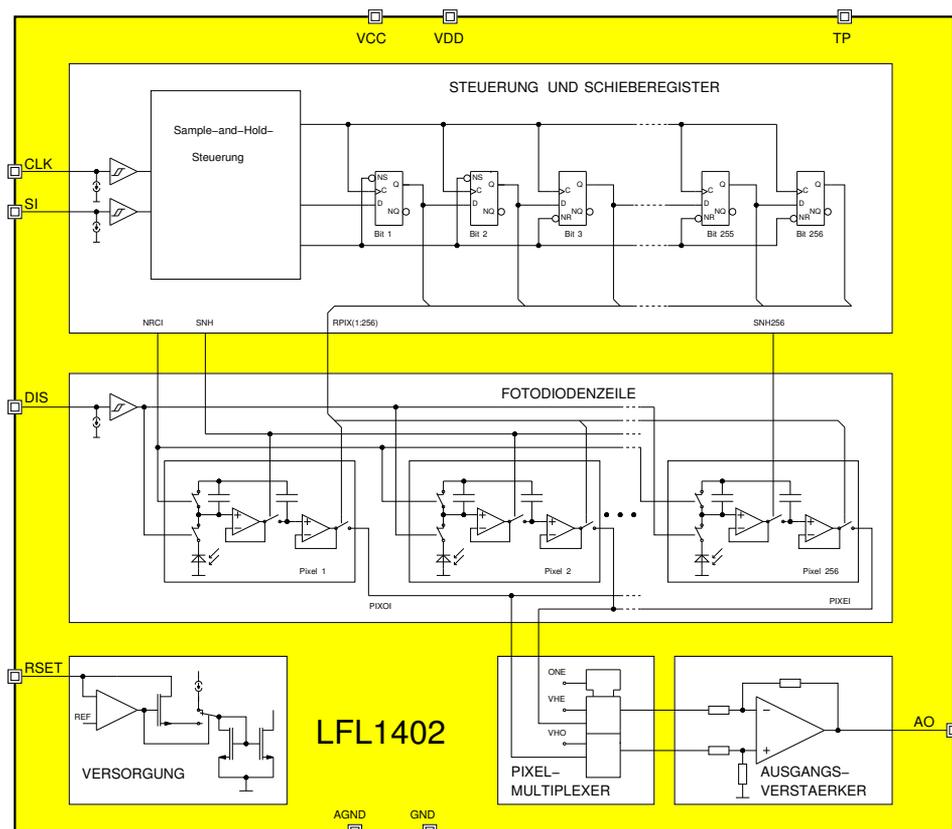
- ◆ Optischer Zeilensensor
- ◆ CCD-Ersatz

### GEHÄUSE



OBGA™ LFL1C

### BLOCKSCHALTBILD



# iC-LFL1402

## 256x1-ZEILENSENSOR

### KURZBESCHREIBUNG

Der Baustein iC-LFL1402 ist ein integrierender Licht/ Spannungs-Wandler, bestehend aus einer einzigen Zeile mit 256 Pixeln im Rastermaß von 63.5 µm (Mittenabstand). Durch die monolithische Integration ergibt sich eine lückenlose, verzerrungsfreie Anordnung der Pixel. Jedes Pixel besteht aus einer Fotodiode von 56.4 µm x 200 µm, einer Integrationskapazität und einer Sample-and-Hold-Schaltung.

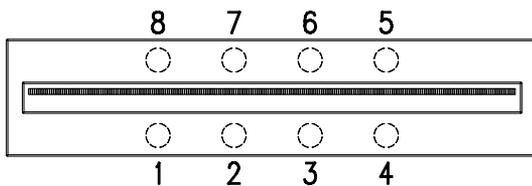
Durch die integrierte Steuerlogik wird der Betrieb sehr vereinfacht, so dass nur ein Startsignal (SI) und ein Taktsignal (CLK) benötigt werden. Optional erlaubt ein dritter Steuereingang (DIS) jederzeit das Anhalten der Integration.

Mit dem Startsignal wird bei der nächsten steigenden Taktflanke für alle Pixel gleichzeitig der Haltemodus aktiviert, und die Halte-Spannungen sequentiell und frei von Umschalt-Glitches, beginnend mit Pixel 1, auf den Push-Pull-Ausgangsverstärker geschaltet. Bereits der zweite Takt löscht alle Integrationskondensatoren, und noch während der Ausgabephase beginnt die Integrationszeit im Hintergrund neu. Ein Durchlauf ist mit genau 256 Takten komplett.

Der Baustein ist für hohe Taktraten bis 5 MHz ausgelegt. Wird dies nicht benötigt, kann der Versorgungsstrom über die externe Bias-Einstellmöglichkeit reduziert werden.

### GEHÄUSE OBGA™ LFL1C

#### ANSCHLUSSEBELEGUNG OBGA™ LFL1C (von oben)



#### PIN-FUNKTIONEN

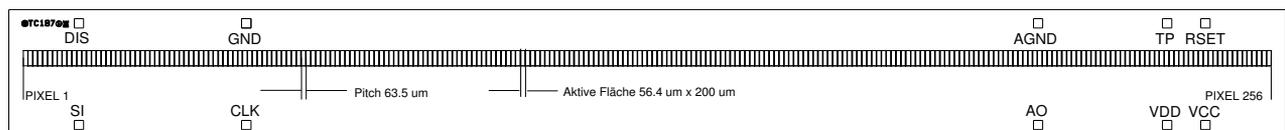
##### Nr. Name Funktion

- |   |      |  |
|---|------|--|
| 1 | SI   | Integrationsstart  |
| 2 | CLK  | Takteingang  |
| 3 | AO   | Analog-Ausgang   |
| 4 | VCC  | +5 V Versorgung  |
| 5 | RSET | Bias-Stromeinstellung (mit Widerstand aus VCC; Verbindung mit GND zur Aktivierung der internen Bias-Schaltung) |
| 6 | AGND | Analog-Masse   |
| 7 | GND  | Digital-Masse  |
| 8 | DIS  | Disable-Eingang  |

### CHIP-LAYOUT

#### iC-LFL1402

Chip-Größe: 16.6 mm x 1.7 mm



# iC-LFL1402

## 256x1-ZEILENSENSOR

### GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min.   Max.		Einh.
					Min.	Max.	
G001	VDD	Digitale Versorgungsspannung			-0.3	6	V
G002	VCC	Analoge Versorgungsspannung			-0.3	6	V
G003	V()	Spannung an SI, CLK, DIS, RSET, TP, AO			-0.3	VCC + 0.3	V
G004	I()	Strom in RSET, TP, AO			-10	10	mA
G005	Vd()	Zulässige ESD-Prüfspannung	MIL-STD-883, Methode 3015, HBM 100 pF entladen über 1.5 kΩ			2	kV
G006	Tj	Chip-Temperatur			-40	125	°C
G007	Ts	Lagertemperatur	siehe Gehäusespezifikation OBGA™ LFL1C				

### THERMISCHE DATEN

Betriebsbedingungen: VCC = VDD = 5 V ±10 %

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min.   Typ   Max.			Einh.
					Min.	Typ	Max.	
T01	Ta	Zulässiger Umgebungstemperaturbereich	siehe Gehäusespezifikation OBGA™ LFL1C					



**KENNDATEN: Diagramme**

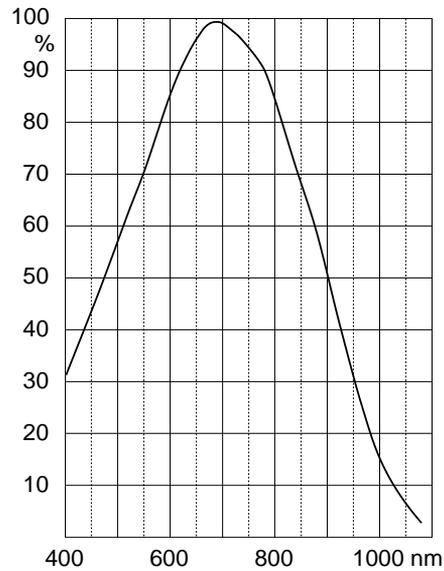


Bild 1: Relative spektrale Empfindlichkeit

**BETRIEBSBEDINGUNGEN: Logik**

Betriebsbedingungen:  $V_{CC} = V_{DD} = 5V \pm 10\%$ ,  $T_j = -25...85^\circ C$   
Eingangsspiegel  $lo = 0...0.45V$ ,  $hi = 2.4V...V_{DD}$ , Bezugspegel für Zeitangaben nach Bild 2

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Zeitangaben		Einh.
					Min.	Max.	
I001	tset	Vorbereitungszeit: SI stabil vor CLK lo → hi		3	50		ns
I002	thold	Haltezeit: SI stabil nach CLK hi → lo		3	50		ns

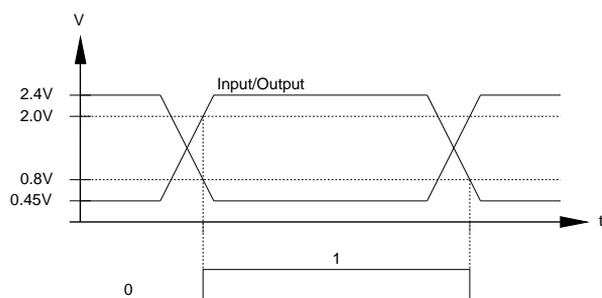


Bild 2: Bezugspegel für Zeitangaben

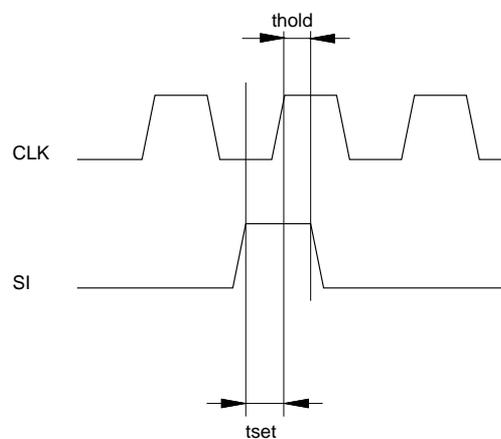


Bild 3: Zeitdiagramm

**FUNKTIONSBESCHREIBUNG**

**Normalbetrieb**

Nach einem internen Power-On-Reset sind die Integrations- und Hold-Kapazitäten gelöscht, und die Sample-and-Hold-Schaltung befindet sich im Sample-Modus. Mit einem High-Pegel an SI und einer steigenden Flanke an CLK beginnt ein Auslesezyklus und damit auch eine neue Integrationsperiode.

Dazu werden die Hold-Kapazitäten der Pixel 1 bis 255 sofort ( $SNH = 1$ ) und von Pixel 256 ( $SNH_{256} = 1$ )

erst einen Takt später in den Hold-Modus gesetzt. Dieses spezielle Verfahren ermöglicht ein Auslesen aller Pixel mit nur 256 Takten. Das Löschen der Integrationskapazitäten geschieht mit einem einen Takt langen Reset-Signal ( $NRCI = 0$ ) zwischen der 2. und 3. fallenden Flanke des Auslesetakts (siehe Bild 4). Nach dem Auslesen der 255 Pixel werden diese wieder in den Sample-Modus ( $SNH = 0$ ) gesetzt und nach einem weiteren Takt auch das Pixel 256 ( $SNH_{256} = 0$ ).

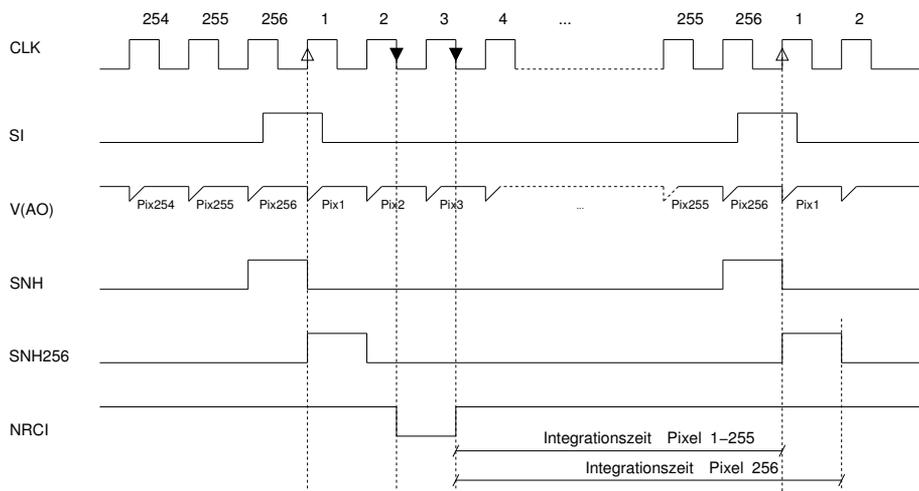


Bild 4: Auslese- und Integrationsablauf

Wenn vor dem 256. Takt wieder ein High-Pegel an SI anliegt, wird der aktuelle Auslesevorgang gestoppt und sofort mit Pixel 1 neu begonnen. Dabei behalten die

Hold-Kapazitäten ihren alten Wert, d. h. der Hold-Modus bleibt erhalten ( $SNH/SNH_{256} = 0$ ).

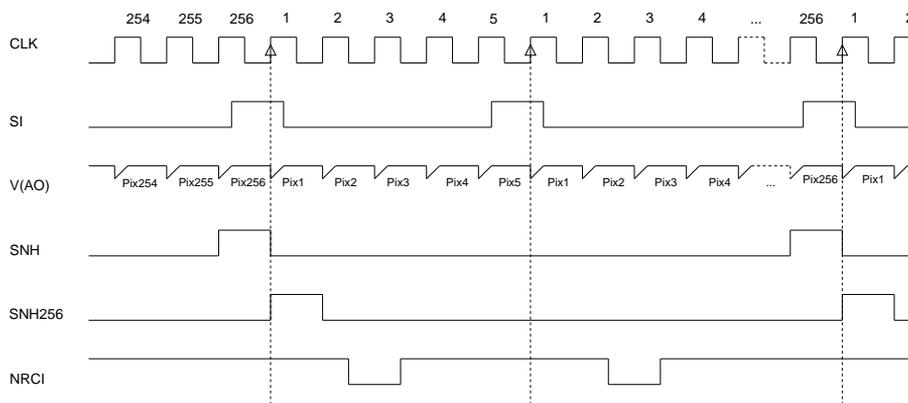


Bild 5: Neustart eines Auslesevorgangs

Bei mehr als 256 Takten bis zum nächsten SI wird Pixel 1 ohne Hold-Modus ausgegeben; die Aus-

gangsspannung folgt der Spannung der Integrations-Kapazität von Pixel 1.

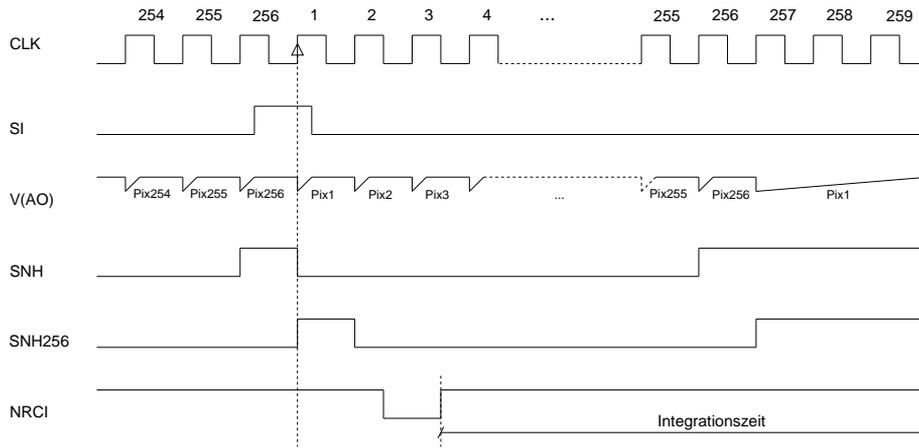


Bild 6: Durchlaufender Takt ohne neues Startsignal

### Betrieb mit Shutter-Funktion

Über den Pin DIS kann die Integration jederzeit angehalten werden, d. h. die Fotodioden werden für DIS = hi von ihrer jeweiligen Integrations-Kapazität weggeschaltet, und die aktuellen Spannungswerte der In-

tegrations-Kapazitäten bleiben erhalten. Ist dieser Pin offen oder auf GND gelegt, werden die Pixel-Fotoströme bis zum nächsten SI-Signal durch die Integrations-Kapazitäten aufsummiert.

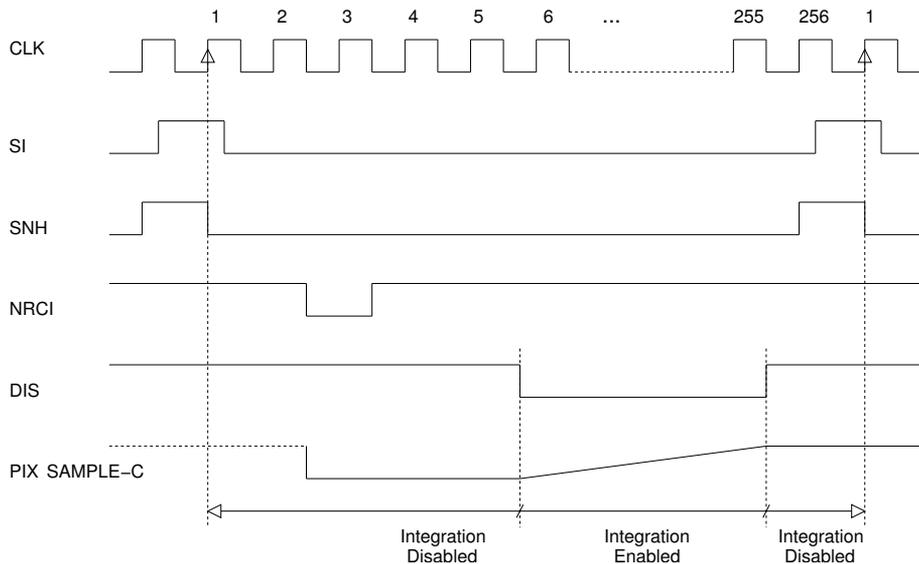


Bild 7: Definition der Integrationszeit über DIS

### Externe Bias-Stromeinstellung

Zur Verringerung der Stromaufnahme des Bausteins kann über den Pin RSET ein externer Referenzstrom eingepreßt werden, was allerdings die maximale Aus-

lesefrequenz verringert. Hierzu ist an RSET ein Widerstand gegen VCC zu schalten. Bei Nichtbenutzung ist dieser Pin auf GND zu legen.

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.  
 Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.  
 Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.  
 Eine Garantie hinsichtlich der Eignung des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.  
 iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.  
 Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

# iC-LFL1402

256x1-ZEILENSENSOR

preliminary



Ausgabe A3, Seite 8/8

## BESTELLINFORMATION

Typ	Gehäuse	Bestellbezeichnung
iC-LFL1402	OBGA™ LFL1C -	iC-LFL OBGA LFL1C iC-LFL Chip

Auskünfte über Preise, Liefertermine, Liefermöglichkeiten anderer Gehäuseformen usw. erteilt:

**iC-Haus GmbH**  
Am Kuemmerling 18  
55294 Bodenheim

**Tel.: (0 61 35) 92 92-0**  
**Fax: (0 61 35) 92 92-192**  
**Web: <http://www.ichaus.com>**  
**E-Mail: [sales@ichaus.com](mailto:sales@ichaus.com)**